

МОСКОВСКИЙ  
АВТОМОБИЛЬНО-ДОРОЖНЫЙ ИНСТИТУТ  
(ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Т.М. АЛЕКСАНДРИДИ, И.С. КОТОВИЧ, Е.Н. МАТЮХИНА

## ОРГАНИЗАЦИЯ ЭВМ И СИСТЕМ

Часть 4

Микропроцессорные устройства

Учебное пособие

Утверждено в качестве учебного пособия  
редсоветом МАДИ(ГТУ)

МОСКВА 2009

УДК-681.32

ББК-32.97

Александриди Т.М., Котович И.С., Матюхина Е.Н. Организация ЭВМ и систем. Часть 4. Микропроцессорные устройства: Учебное пособие / МАДИ (ГТУ), 2008.М.- 68 с.

Рецензенты:

проф. кафедры АСОиУ Московского государственного университета приборостроения и информатики П.К. Круг;

проф. кафедры ПМ государственного университета нефти и газа им. И.М. Губкина Е.В. Гливенко.

В учебном пособии представлен микропроцессорный комплект КР580 и ряд программно-совместимых с ним микропроцессоров более старших моделей до 32-разрядных. Рассматриваются структуры, принцип действия и методы построения на их основе специализированных микропроцессорных устройств и систем.

Учебное пособие написано в соответствии с аналогичными разделами стандартной программы по дисциплине «Организация ЭВМ и систем» для специальности «Автоматизированные системы обработки информации и управления».

## ВВЕДЕНИЕ

Настоящее учебное пособие предназначено для студентов направления 552800 «Информатика и вычислительная техника» и направления 654600 «Информатика и вычислительная техника» по специальности 230102 «Автоматизированные системы обработки информации и управления (АСОИУ)» и используется при изучении теоретических разделов дисциплины «Организация ЭВМ и систем», выполнении лабораторных работ, а также при курсовом и дипломном проектировании.

В пособии рассмотрены назначение, принцип действия, структурные и функциональные схемы основных типов микропроцессоров (МП) и соответствующих микропроцессорных комплектов (МП-комплектов), на основе которых строятся современные универсальные и специализированные ЭВМ и системы.

Изложены методика и примеры проектирования МП-систем для использования в различных АСОИУ.

## 1. ОБЩИЕ СВЕДЕНИЯ О МИКРОПРОЦЕССОРАХ

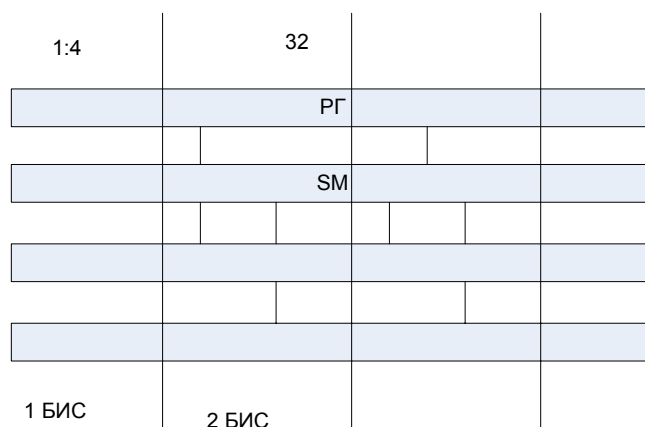


Рис.1.1. Упрощенная логическая схема АЛУ

Исторически термин «микропроцессор» (МП) появился тогда, когда технология производства больших интегральных схем (БИС) позволила размещать на одном кристалле полупроводника количество вентилях  $N \geq 10^{24}$ . Однако сам кристалл имеет весьма малые размеры, что не позволяет физически разместить по периметру кристалла необходимое количество выводов при обработке данных с большим числом разрядов.

Основная идея разработки МП состояла в том, что логическая схема АЛУ (рис.1.1) разрезается вертикально на секции с небольшим числом разрядов (2,4,8). Далее на одной БИС размещаются секция АЛУ и устройство управления, что обеспечивает выполнение арифметических и логических операций для небольшого количества разрядов. Таким образом, большая часть потенциальных и управленческих связей, реализующих вычислительные алгоритмы, замыкается внутри микросхемы. И при этом минимизируется число внешних выводов на кристалле.

В зависимости от структуры микропроцессоры делятся на:

- однокристалльные, в которых все функциональные узлы, необходимые для создания ЭВМ, размещаются на одном кристалле. Имеется реализованная внутренняя система команд и средства для обмена с внешними устройствами. Существуют модели однокристалльных МП, рассчитанные на обработку данных с разрядностью 8,16,32 бит;
- многокристалльные (секционные), отличающиеся тем, что БИС МП содержит только АЛУ на небольшое число разрядов (2,4,8). Блок управления, обычно микропрограммный, размещен на отдельной БИС. Для того, чтобы построить МП для обработки многоразрядных данных, набирают пакет БИС АЛУ до достижения необходимой разрядности. Многокристалльные БИС МП используются для построения специализированных ЭВМ;

Существует понятие микропроцессорный комплект (МП-комплект). Это набор БИС (ОЗУ, ПЗУ, ВВ, АЛУ), которые согласуются между собой по источнику питания, уровням сигналов, принципам управления. На основе МП-комплекта можно построить

как универсальные ЭВМ, так и различные специализированные ЭВМ.

### 1.1. Микропроцессорные системы

На рис. 1.2 представлена трехмагистральная структура системы, построенной на основе МП-комплекта КР580.

Система шин (магистралей), которая связывает МП с другими частями микропроцессорной системы (МПС), называется интерфейсом. Интерфейс отличается тем, что все шины стандартизованы по назначению сигналов, контактов разъемов, по временным диаграммам обмена информацией и по уровням сигналов.

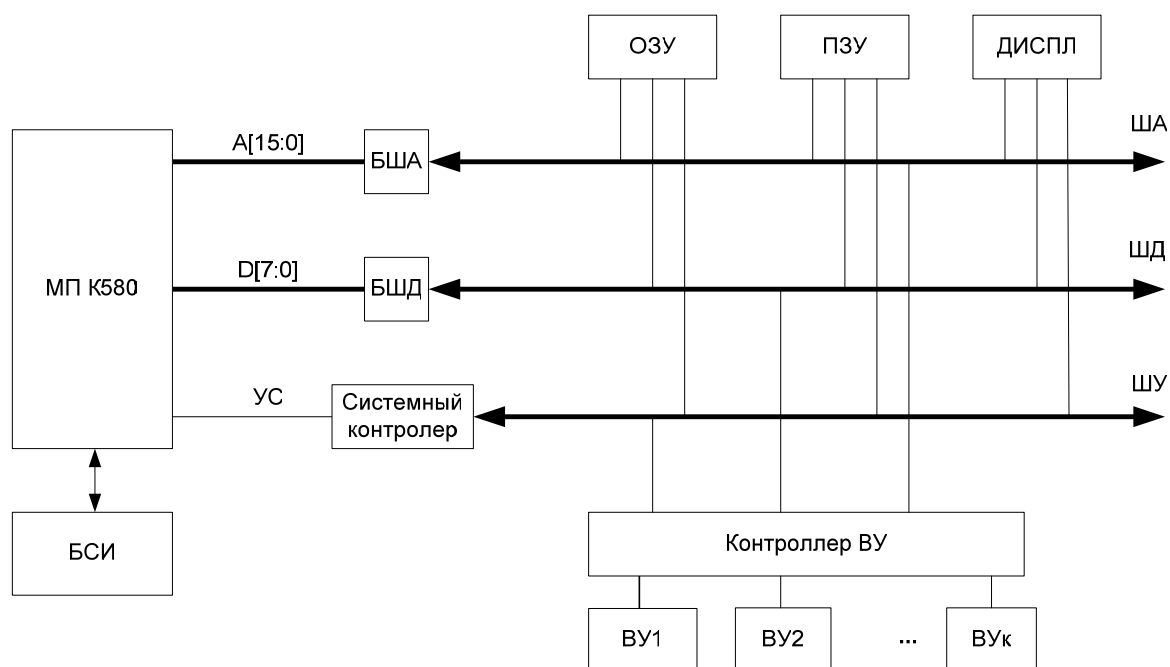


Рис. 1.2. Обобщенная структура МП системы

Подключение всех внешних устройств происходит через так называемые интерфейсные платы: буферы, контроллеры, формирователи (рис. 1.2).

Фрагмент МП-системы на данном рисунке включает в себя следующие функциональные устройства:

- БСИ – блок синхроимпульсов;
- БША – буфер шины адреса;
- БШД – буфер шины данных;

системный контроллер, который формирует сигналы шины управления;

контроллеры ВУ, обеспечивающие взаимодействие процессора с внешними устройствами в соответствии с их алгоритмами работы.

Микропроцессорная система может работать в четырех режимах обмена данными:

1. программный - выполняется под управлением процессора с помощью соответствующих команд;

2. режим с прерыванием - наступает по запросу на прерывание от внешнего устройства и с разрешения МП. Далее обмен данными происходит под управлением МП;

3. режим прямого доступа к памяти (ПДП) - состоит в том, что обмен данными происходит между внешним устройством и ОЗУ без участия процессора, но с его разрешения.

4. ввод-вывод отображенный на память – в этом режиме адреса устройств отображаются на адресное пространство памяти. При этом процессор может работать с устройствами как с обычными ячейками памяти.

При обмене данными в каждый момент времени шина данных должна захватываться только одним из подключенных к ней устройств, которое получает право выставлять на шину свои данные. Технически эта задача обеспечивается тем, что такие устройства имеют трехстабильные логические схемы на выходе.

Эти логические схемы имеют три состояния:

$F: = 0$

$F: = 1$

$F: = \infty (R_{\text{вых}} = \infty)$

Рассмотрим кратко, как работает трехстабильный логический элемент на примере ЛЭ типа ТТЛ серии 155 (рис. 1.3).

Уровни логических сигналов  $U_{в} \geq 2,45 := 1$   $U_{н} \leq 0,45 := 0$

$U_{упр} := 0$   $V5$  – закрыт  $F = (x1 \& x2)$

$U_{упр} := 1$   $V5$  – открыт, находится в режиме насыщения

$U_{к2} \approx 0.2B$

$V3, V4$  – закрыты  $\Rightarrow R_{вых} = \infty$

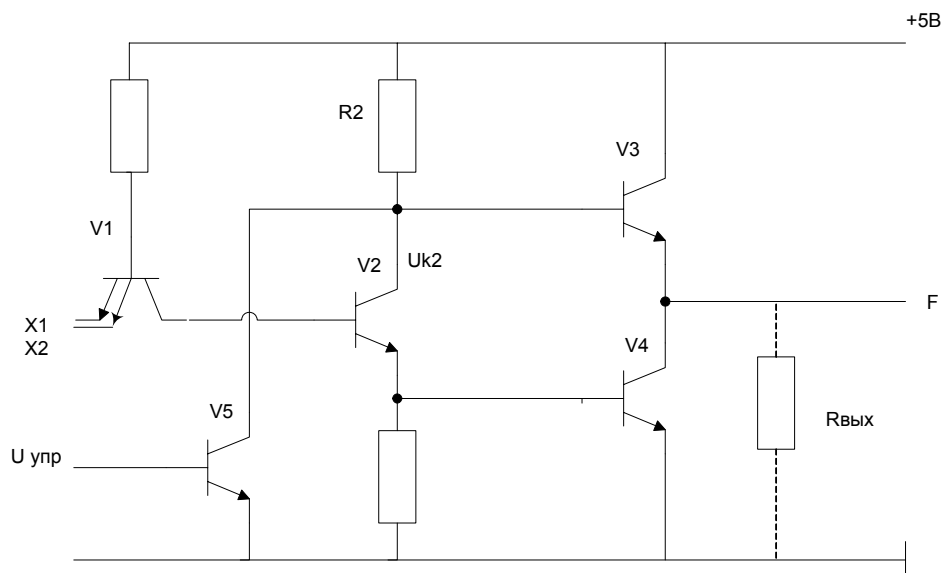


Рис 1.3 Принципиальная схема трехстабильного ЛЭ (ТТЛ)

## 2. МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ КР580

Данный набор относится к комплектам однокристалльного типа, среднего быстродействия. Построен по n-МОП технологии. В состав МП-комплекта входит большое количество разнообразных БИС, что позволяет построить на его основе МП-системы различного назначения.

Основной БИС этого комплекта является БИС микропроцессора КР580 ВМ80А.

Основные характеристики микропроцессора:

- разрядность шины данных - 8 бит (1 байт);
- разрядность системной шины адреса - 16 бит (2 байта);
- тактовая частота - 2 МГц. ( $f = 2 \cdot 10^6$  Гц).

Внутренняя система команд – самая младшая из системы x86.

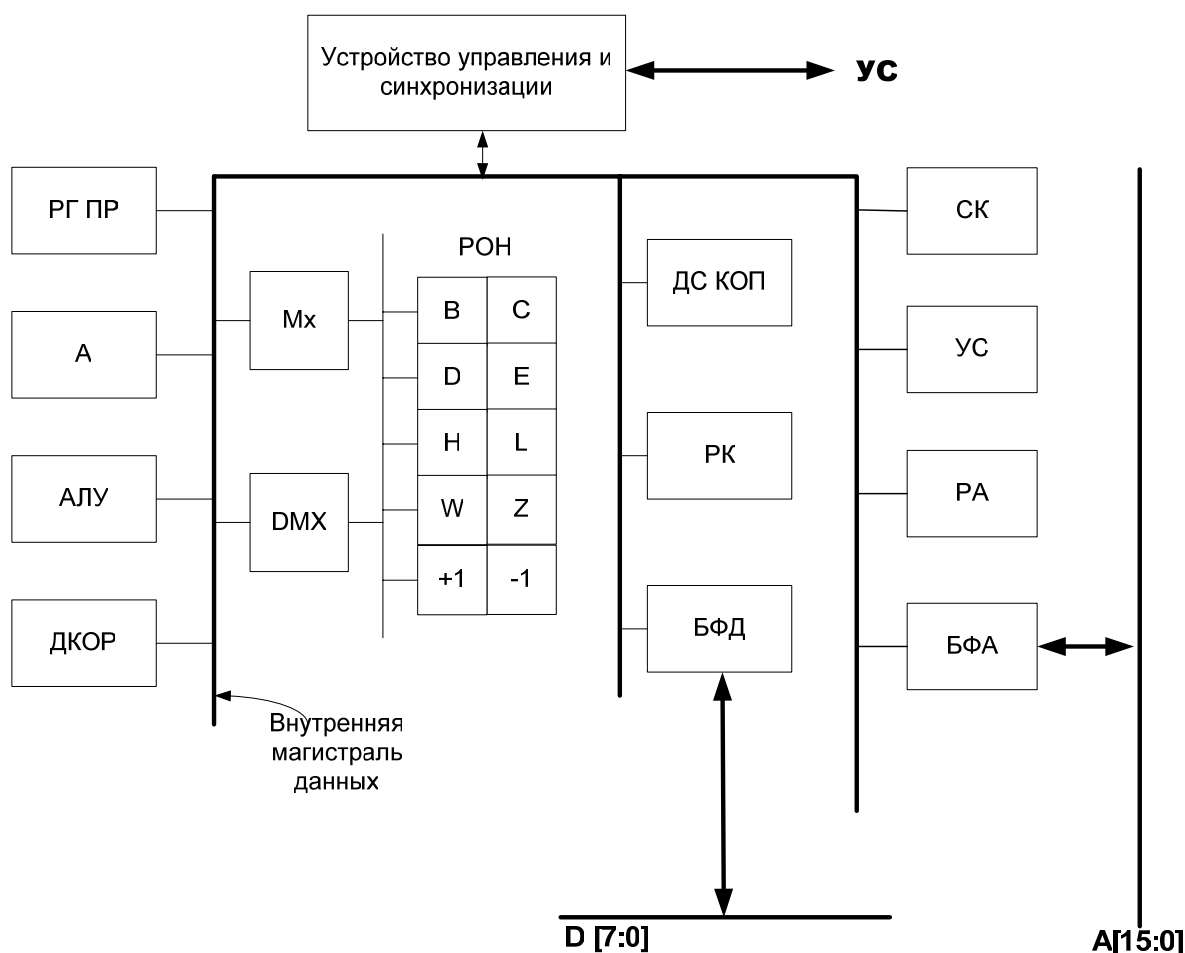


Рис. 2.1. Упрощенная структурная схема КР 580 BM80A

На структурной схеме микропроцессора КР 580 BM80A (рис. 2.1) изображены основные блоки, входящие в его состав и связи между ними. В табл. 2.1 расшифрованы сокращенные наименования этих блоков. Кроме того, на рис. 2.1 обозначены местные шины входа-выхода:

- двунаправленные шины управления, по которым передаются в МП - систему управляющие сигналы (УС);
- двунаправленные шины данных  $D(7:0)$ ;
- однонаправленные шины адреса  $A(15:0)$ .

На кристалле процессора реализованы арифметическое устройство и устройство управления.



Таблица 2.1

РГ ПР	Регистр признаков
А	Аккумулятор
ДКОР	Десятичная коррекция
РОН	Регистры общего назначения
СК	Счетчик команд (программный счетчик)
УС	Указатель стека
РК	Регистр команд
РА	Регистр адреса
БФД	Буфер данных
БФА	Буфер адреса

Арифметическое устройство построено по магистральной структуре, в него входят:

- РОН - блок регистров общего назначения, состоящий из десяти регистров, из которых регистры В,С,D,E,H,L – программно доступны, регистры W,Z – программно недоступны, т.к. служат для внутренних целей, а два регистра-счетчика (+1,-1) выполняют операции инкрементации и декрементации;
- ДКОР – логика двоично-десятичной коррекции при выполнении операций в коде 8421;
- АЛУ – однобайтовая комбинационная схема, в которой реализуются операции сложения и вычитания по алгоритмам ДД;
- А – аккумулятор (регистр) – в нем находится один из операндов при арифметических операциях, туда же выдается результат; второй операнд может находиться, либо в РОН, либо в ячейке памяти;
- РГП – регистр признаков (флагов), состоящий из пяти триггеров, в каждом из которых после окончания вычислительной операции устанавливаются параметры результата (четность, знак, ноль...),

- МХ (мультиплексор) и ДМХ (демультиплексор)-обеспечивают связь между АЛУ и РОН.

Внутри МП есть единая магистраль данных, по которой передаются данные.

Устройство управления построено по жесткой структуре и состоит из следующих блоков:

- РК - регистр команды (1Б);
- ДСКОП - дешифратор кода операции;
- СК - счетчик команд (программный счетчик), в котором хранится адрес следующей выполняемой команды;
- УС - указатель стека;
- РА - регистр адреса ячейки памяти;
- БФА - буфер адреса, который обеспечивает связь между РА и ША;
- БФД - двунаправленный буфер данных, через который поступают в МП и из него данные и команды;
- Устройство управления и синхронизации – БФУС с жесткой структурой, в котором формируются управляющие сигналы (УС) в соответствии с выполняемой командой и далее поступают на шину управления;
- УС - указатель стека. Стек – особым образом организованное независимое ОЗУ или участок памяти в системном ОЗУ с организацией доступа к памяти по принципу LIFO (последним пришел – первым вышел).

На рис 2.2 схематически поясняется принцип работы стека, который изображен в виде некоторого участка ОЗУ. Объем стековой памяти (количество ячеек) носит название «глубина стека».

Как видно из рисунка, доступ для записи и считывания происходит с одной стороны выделенного массива ячеек памяти. Обращение к стеку осуществляется с помощью реверсивного счетчика (указателя стека). В каждый момент времени состояние счетчика указывает адрес очередной свободной ячейки стека. Очевидно, что если происходит запись, то

содержимое счетчика увеличивается ( $УС + 1$ ), а при считывании данного - уменьшается ( $УС-1$ ).

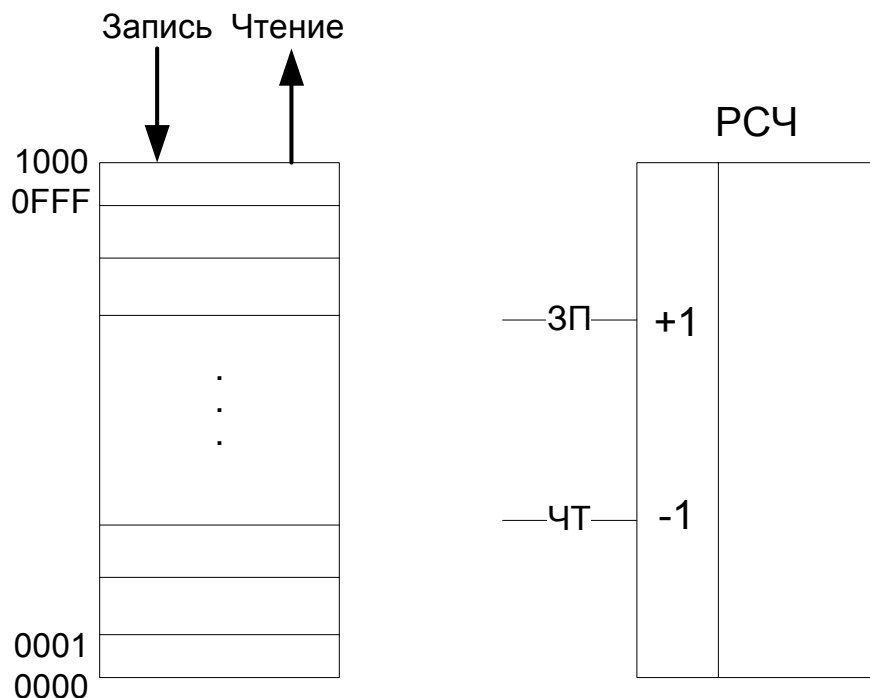


Рис. 2.2. Принцип стековой организации памяти.

Стековая организация памяти используется при обработке прерываний и организации вычислений с вложенными подпрограммами.

### 3. ОРГАНИЗАЦИЯ УПРАВЛЕНИЯ В МИКРОПРОЦЕССОРНОЙ СИСТЕМЕ

Под управлением в МПС – понимается реализация обмена данными между процессором и внешними устройствами в различных режимах.

В данной МПС принята двухуровневая структура управления:

- макро-уровень, на котором имеется целый ряд так называемых стандартных машинных циклов (МЦ), с помощью которых реализуются стандартные процессы обмена данными. Тип машинного цикла определяется специальным кодом, которые вырабатываются при выполнении каждой команды. Этот код называется слово

состояния процессора (ССП) или PSW – Processor state word;

- микро-уровень. Представляет собой последовательность управляющих сигналов внутри машинного цикла, которые реализуют конкретные алгоритмы и процедуры обмена. Управляющие сигналы при этом обеспечивают выполнение различных микроопераций, связанных с приемом и запоминанием информации.

В табл. 3.1 представлена структура ССП (D0: D7), код которого определяет типы машинных циклов.

Таблица 3.1

Разряды ССП	Сигнал состояния	№ машинного цикла						
		1	2	3	4	5	6	7
D0	Подтв. прерывания	0	0	0	0	0	0	0
D1	Запись/вывод	1	1	0	1	0	1	0
D2	Стек	0	0	0	1	1	0	0
D3	Подтв. останова	0	0	0	0	0	0	0
D4	Вывод	0	0	0	0	0	0	1
D5	M1	1	0	0	0	0	0	0
D6	Ввод из в.у.	0	0	0	0	0	1	0
D7	Чтение	1	1	0	1	0	0	0

1-й цикл – M1 - считывание команды из ОЗУ

2-й цикл – чтение данных из ОЗУ

3-й цикл – запись в ОЗУ по содержимому рег. пары <HL>

4-й цикл – чтение из памяти по указателю стека.

5-й цикл – запись в стек по указателю стека (УС)

6-й цикл – ввод данных в аккумулятор (А) из внешнего устройства

7-й цикл – вывод данных из аккумулятора во внешнее устройство.

На микроуровне устройством управления и синхронизации формируются следующие управляющие сигналы (УС) показанные на рис. 3.1.

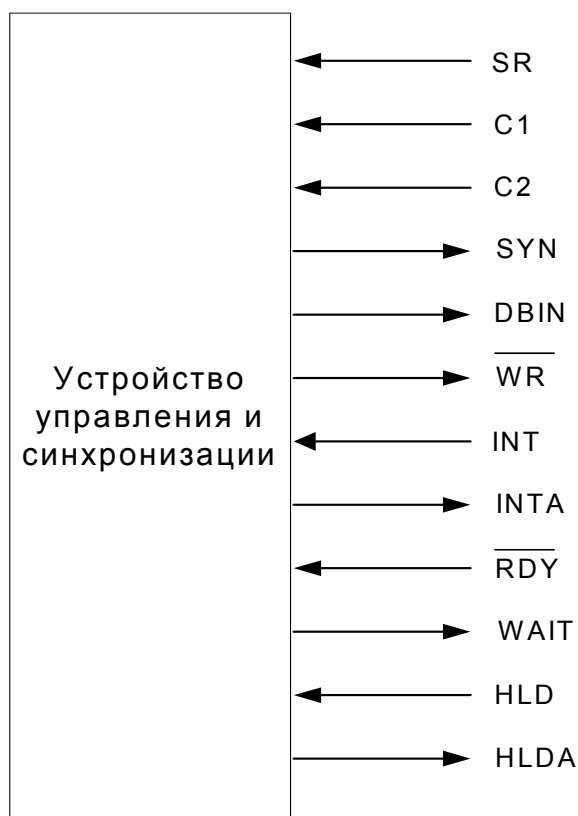


Рис 3.1. Сигналы устройства управления и синхронизации

- SR – сигнал начальной установки (поступает от БСИ);
- C1, C2 – синхроимпульсы (поступают от БСИ);
- SYN – сигнал синхронизации, процессором выдается в систему;
- DBIN – сигнал считывания процессором данных с ШД;
- WR – инверсный сигнал чтение/запись, формируется процессором;
- INT – запрос на прерывание, поступает на процессор от внешних устройств;
- INTA – разрешение прерывания, выдается процессором в ответ на сигнал INT;
- RDY – сигнал готовности, поступает от внешних устройств;
- WAIT – ожидание, выдается процессором, когда он находится в режиме ожидания;
- HLD – запрос внешних устройств на работу в режиме прямого доступа к памяти;

- HLDA – сигнал разрешения на работу внешнего устройства в режиме ПДП.

В начале каждого машинного цикла процессор формирует ССП, которое выдается в систему через шину данных и запоминается во внешнем регистре на все время выполнения машинного цикла (рис.3.2).

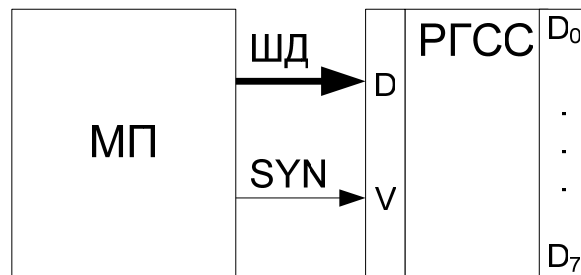


Рис. 3.2. Внешний регистр слова-состояния (РГСС)

Рассмотрим временные диаграммы (ВД) основных машинных циклов. Машинные циклы состоят из машинных тактов (МТ).

Частота следования синхроимпульсов:

$$f_{c1,c2} = 2 \cdot 10^6 \text{ Гц} = 2 \text{ МГц}$$

Длительность машинного такта: МТ = 0.5 мкс

ВД всех типов машинных циклов начинаются одинаково

- в МТ1 выдается:
  - на ША - адрес ОЗУ или ВУ;
  - на ШД - ССП;
  - на SYN=1;
- в МТ2 РГСС=1

Далее МЦ разных типов различаются. На рис. 3.3 представлена ВД считывания данных из ОЗУ. Она соответствует МЦ1, МЦ2, МЦ4 (табл. 3.1). Здесь в МТ2 ССП=0 и на ШД устанавливается третье состояние ( $R_{\text{вых}} = \infty$ ).

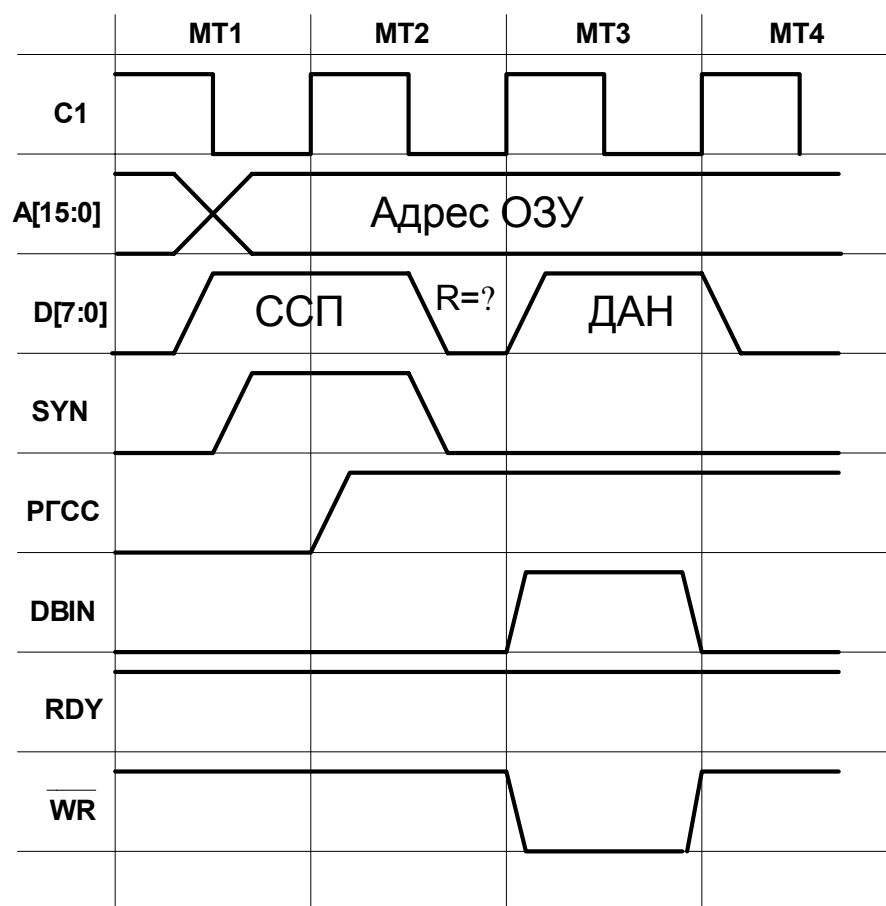


Рис. 3.3 ВД машинного цикла считывания данных из ОЗУ

В MT3 – сигналом WR (чтение-запись) на шину данных из оперативной памяти выдаются данные, появляется сигнал DBIN (ввод данных в процессор).

В MT4 – происходит внутренняя пересылка данных или их обработка.

На рис. 3.3 представлен также сигнал RDY =1 (готовность). Этот сигнал означает, что внешнее устройство, в данном случае ОЗУ, постоянно готово к обмену данными с процессором, так как у них одинаковое быстродействие.

ВД на рис. 3.4 соответствует МЦ3 и МЦ5 (табл. 3.1) и определяет последовательность сигналов при записи данных в ОЗУ.

Сигналы в MT1 и MT2 совпадают с рис.3.2. Отличие появляется в MT3, где на ШД из процессора через БФД поступают данные, которые должны быть записаны в ОЗУ.

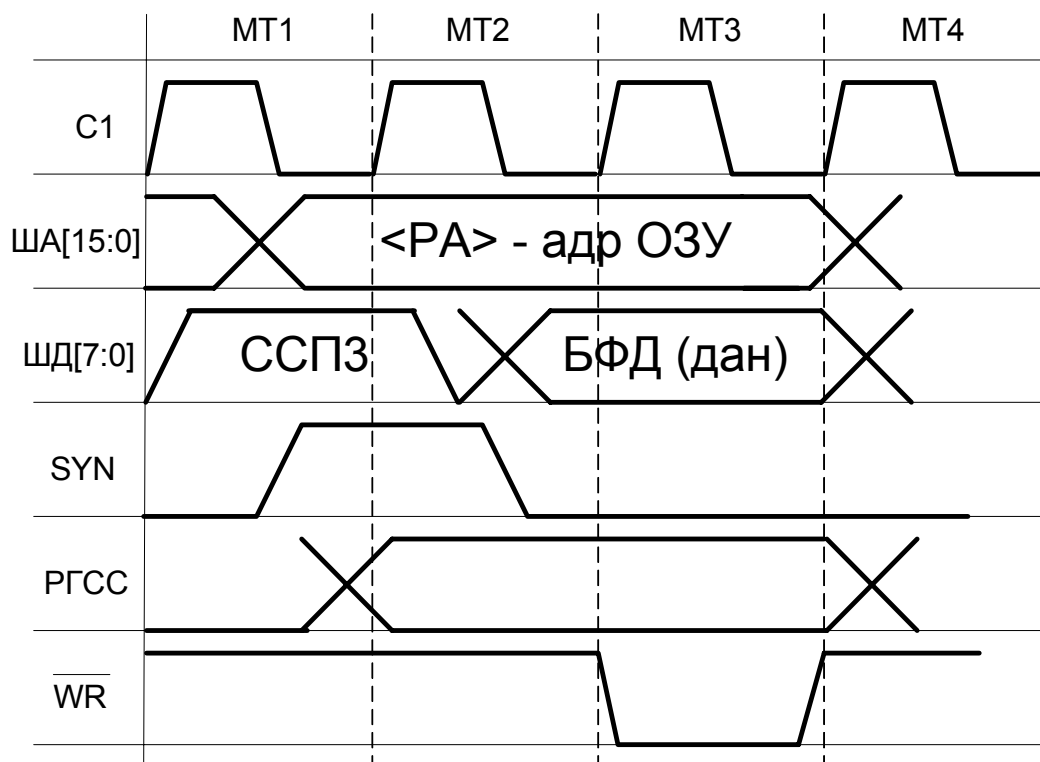


Рис. 3.4. ВД машинного цикла при записи данных в ОЗУ

На рис. 3.5 представлены ВД машинного цикла считывания данных из внешнего устройства (ВУ). Особенность обмена данными между процессором и ВУ состоит в том, что эти устройства существенно различаются по быстродействию и асинхронны. Синхронизация обмена достигается с помощью сигналов READY и WAIT (процессор в режиме ожидания).

Рассмотрим ВД на рис. 3.5 более подробно.

MT1 - на ША из РА выдается адрес ВУ, на ШД - ССП.

MT2 - SYN выдает ССП в РГССП и происходит контроль значения сигнала READY. На нашей временной диаграмме этот сигнал READY=0, что означает неготовность ВУ к обмену информацией с процессором.

MT3 - формируется сигнал WAIT=1. МП переходит в режим ожидания в течение одного или нескольких тактов. В то же время в каждом машинном такте МП проверяет значение сигнала READY, до тех пор, пока сигнал READY не станет =1, что означает готовность ВУ к обмену.

MTn - сигнал READY переходит в 1. После этого процессор устанавливает сигнал WAIT в 0.



В режиме считывания из ВУ данные выставляются на шину данных внешним устройством. Процессор снимает данные с ШД в такте ТМ3 сигналом DBIN.

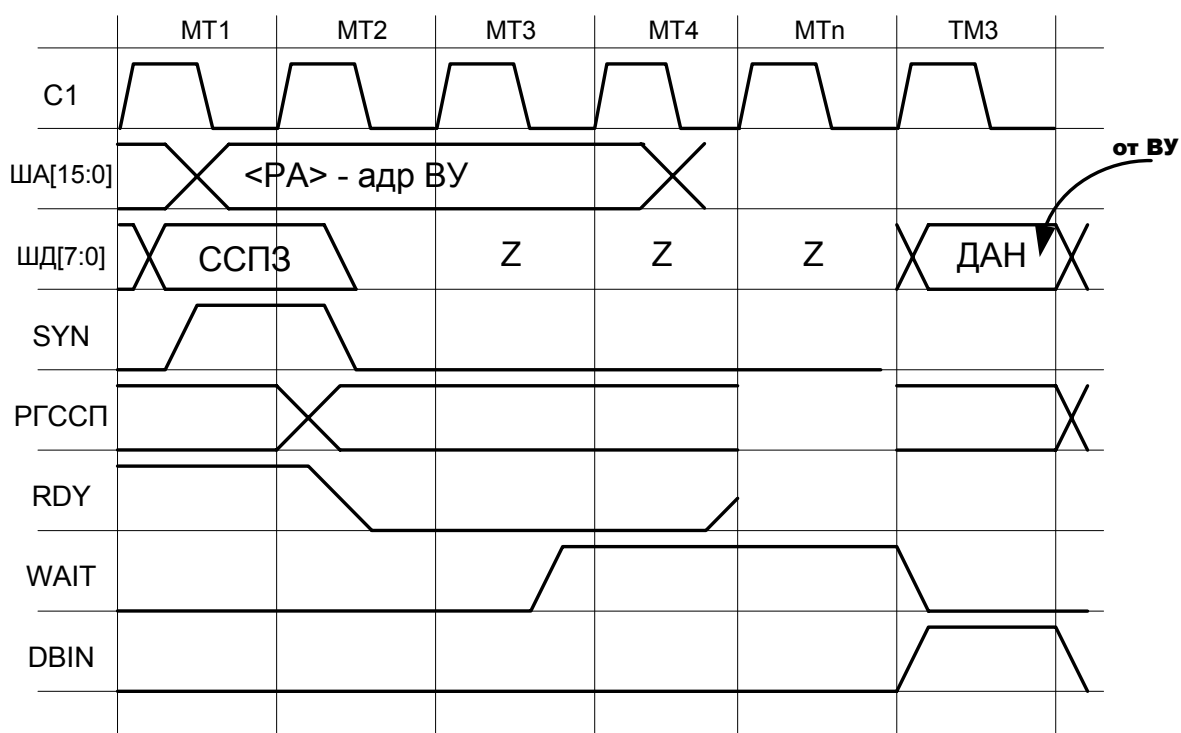


Рис. 3.5. ВД машинного цикла считывания данных из ВУ

#### 4. ИНТЕРФЕЙСНЫЕ БИС В СОСТАВЕ МП – КОМПЛЕКТА КР580

Интерфейс в МП – системе это совокупность системных шин и специальных микросхем, которые обеспечивают процессы обмена информацией во всех режимах работы системы. В состав комплекта КР580 входит значительное количество различных интерфейсных БИС (порядка 15), с помощью которых можно строить разнообразные МПС.

Основные БИС:

- 1) генератор синхроимпульсов КР580ГФ24
- 2) системный контроллер КР580ВК28

- 3) программируемый контроллер параллельного ввода-вывода КР580ВВ55
- 4) программируемый контроллер ПДП КР580ВТ57
- 5) программируемый контроллер прерывания КР580ВН59

Эти контроллеры могут использоваться также с более старшими моделями микропроцессоров семейства x86, а также с МП1816.

#### 4.1. Системный контроллер КР580ВК28.

Системный контроллер предназначен для:

- 1) формирования системной шины данных;
- 2) хранения слова состояния процессора в течение машинного цикла;
- 3) формирования СШУ и выдачи управляющих сигналов в соответствии с типом выполняемого машинного цикла.

На рис. 4.1 изображена структурная схема КР580ВК28 и его подключение к МП

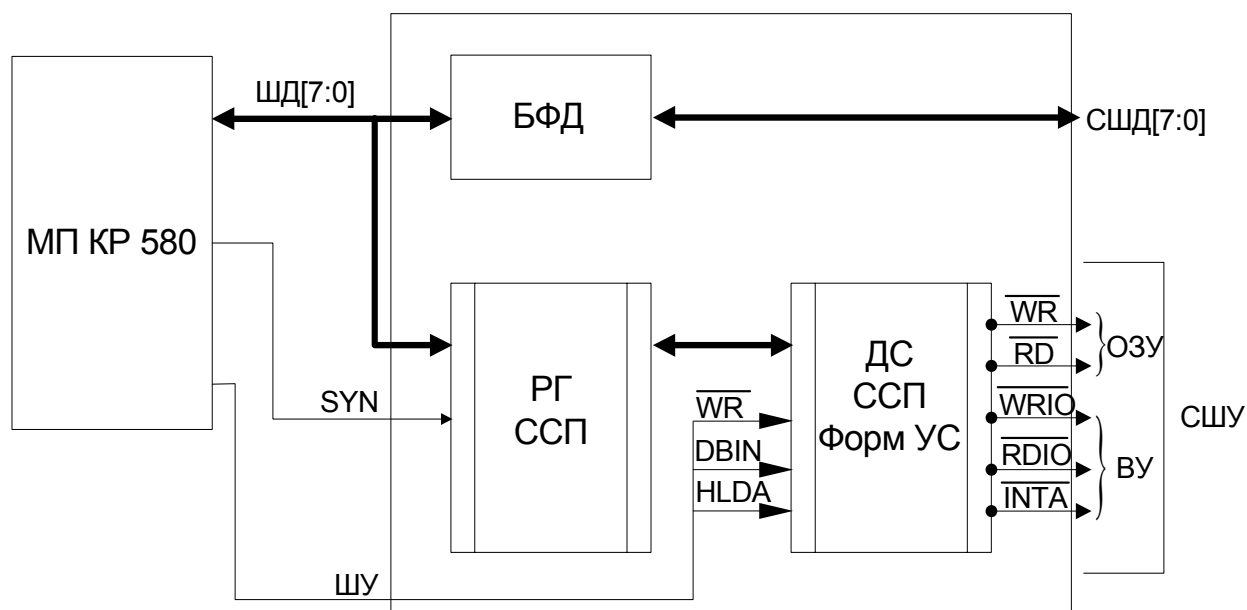


Рис. 4.1. Структурная схема системного контроллера

Логическая схема «Форм. УС» в зависимости от типа МЦ выдает на СШУ различные сигналы:

- входной сигнал WR (запись-чтение ОЗУ) на выходе разделяется на WR (запись в ОЗУ) и RD (чтение из ОЗУ);

- входной сигнал WRIO (запись-чтение ВУ) на выходе разделяется
- На WRIO (запись ВУ) и RDIO (чтение ВУ);
- при поступлении от процессора сигнала HLDA (разрешение режима ПДП) все разряды СШУ устанавливаются в 3-е состояние, так как управление этими шинами передается контроллеру ПДП.

На рис. 4.2 представлено условное графическое обозначение (УГО) системного контроллера.

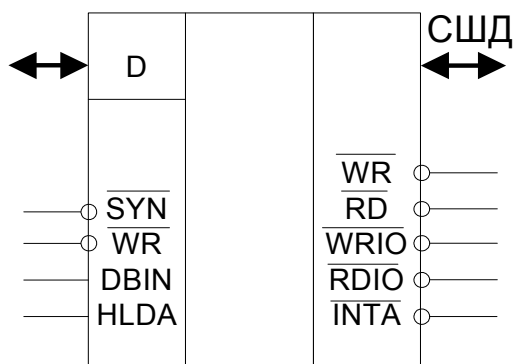


Рис. 4.2. УГО контроллера КР580ВК28

#### 4.2. Программируемый контроллер ввода-вывода КР580ВВ55

Предназначен для управления обменом данными между процессором и внешним устройством в программном режиме. Контроллер называется программируемым, так как перед началом работы он программируется процессором. Структурная схема изображена на рис. 4.3.

В табл. 4.1 представлены режимы обмена данными в МПС.

Таблица 4.1

Операции	Канал	Сигналы				
		<u>CS</u>	<u>RD</u>	<u>WR</u>	A1	A0
Запись в канал	КА	0	1	0	0	0
	КВ	0	1	0	0	1
	КС	0	1	0	1	0
Чтение из канала	КА	0	0	1	0	0
	КВ	0	0	1	0	1
	КС	0	0	1	1	0
Запись РУС		0	1	0	1	1

РУС – регистр управляющего слова. Перед началом обмена процессор программирует контроллер с занесением в РУС кода управляющего слова.

Разряды США[0] и США[1] выбирают внутренние блоки микросхемы.

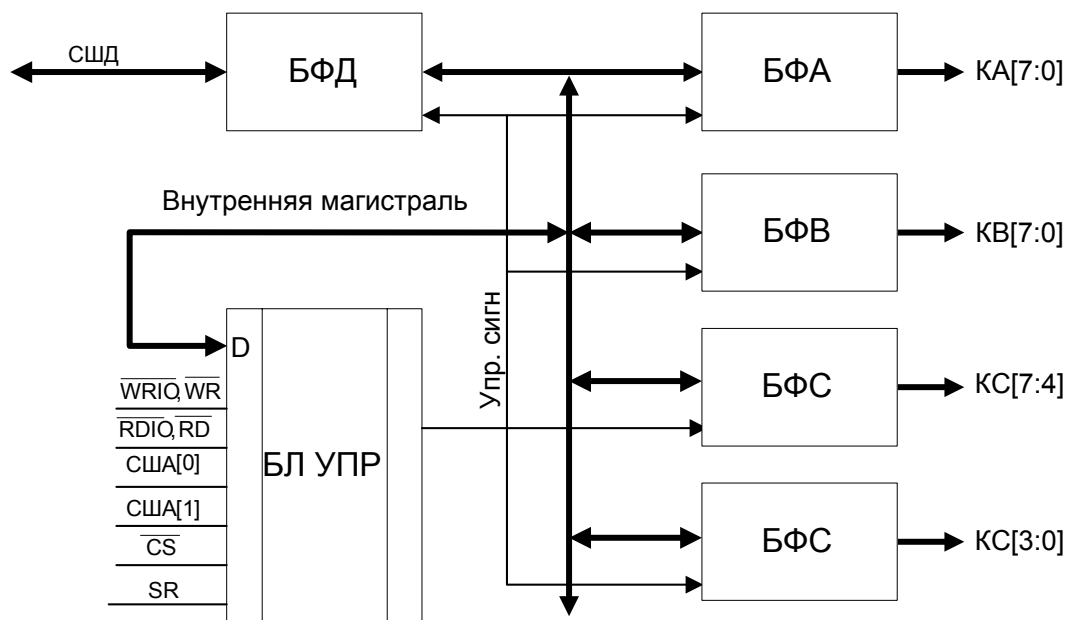


Рис. 4.3. Структурная схема контроллера ввода-вывода

Каждое внешнее устройство в составе МП-системы имеет свой адрес и при обращении к нему формируется CS – сигнал выборки микросхемы. Этот сигнал образуется с помощью селектора, схема которого представлена на рис. 4.4.

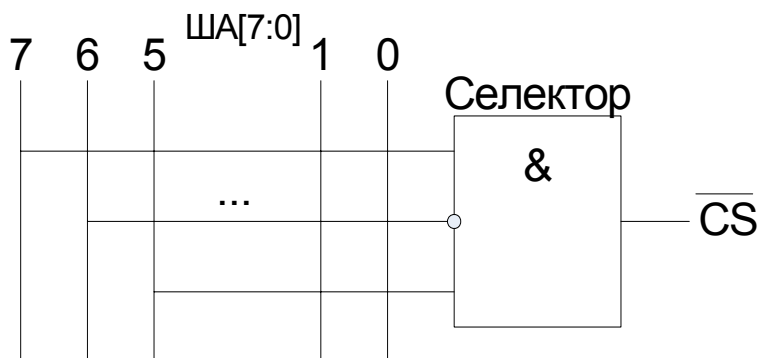


Рис. 4.4. Схема селектора

На рис. 4.5 изображено условное графическое обозначение контроллера ввода-вывода с подключенным селектором.

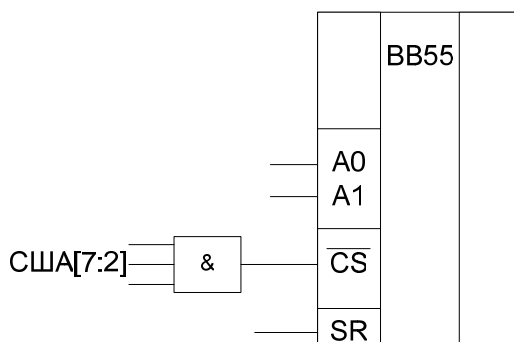


Рис. 4.5. УГО KP580BB55

Контроллер ввода-вывода может использоваться в микропроцессорных системах в различных режимах работы.

Режим «0» – простой ввод-вывод. Отличается тем, что по всем трем каналам (А, В, С) может осуществляться двусторонний обмен данными под управлением процессора.

Режим «1» – предназначен для использования микросхемы в специализированных системах, в которых управление этой микросхемой выполняется не только от процессора. В этом случае канал А и канал В используются для канала данных, а канал С для передачи и формирования управляющих сигналов.

Режим «2» – канал А – для обмена данных, а каналы В, С – для формирования УС в соответствии со специальным протоколом обмена.

#### 4.2.1. Формат РУС (регистра управляющего слова)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D7:=1 – режим «0»	00 – режим «0»,
D6 – канал А[7:0]	01 – режим «1»,
D5 – канал С[7:4]	10 – режим «2»
D4 – канал А[7:0] D4:=1 – ввод , D4:=0 – вывод	
D3 – канал С[7:4] D3:=1 – ввод , D3:=0 – вывод	
D2 – канал В[7:0] D2:=1 – ввод , D2:=0 – вывод	
канал С[3:0]	
D1 – канал В[7:0] D1:=1 – ввод , D1:=0 – вывод	
D0 – канал С[3:0] D0:=1 – ввод , D0:=0 – вывод	

#### 4.2.2. Пример программирования контроллера КР580ВВ55

Рассмотрим пример программирования контроллера ввода-вывода и разработки программы взаимодействия процессора с внешними устройствами для некоторого фрагмента МПС, представленного на рис. 4.5.

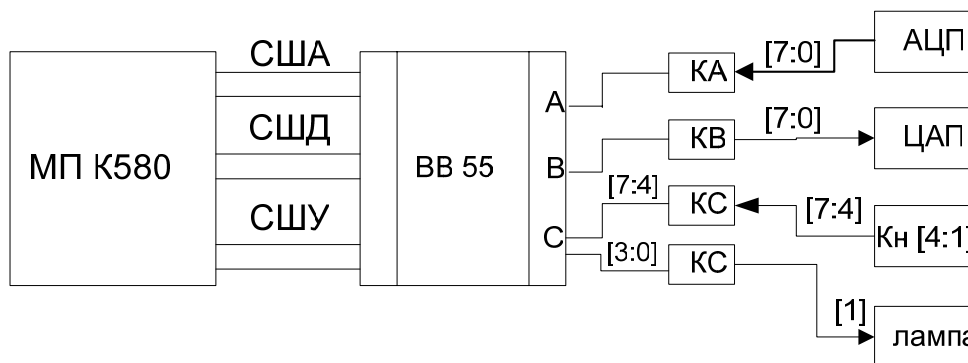


Рис. 4.5. Фрагмент реализации МПС

В соответствии с 4.2.1 составим код управляющего слова.

На рис. 4.6, 4.7 представлена последовательность разработки программы и тексты этапов этого процесса.

а) управляющее слово

7	6	5	4	3	2	1	0
1	0	0	1	1	0	0	0

б) распределение памяти

УС→М1-0020

Данные канала А М2 – 0021 (АЦП)

Данные канала В М3 – 0022 (ЦАП)

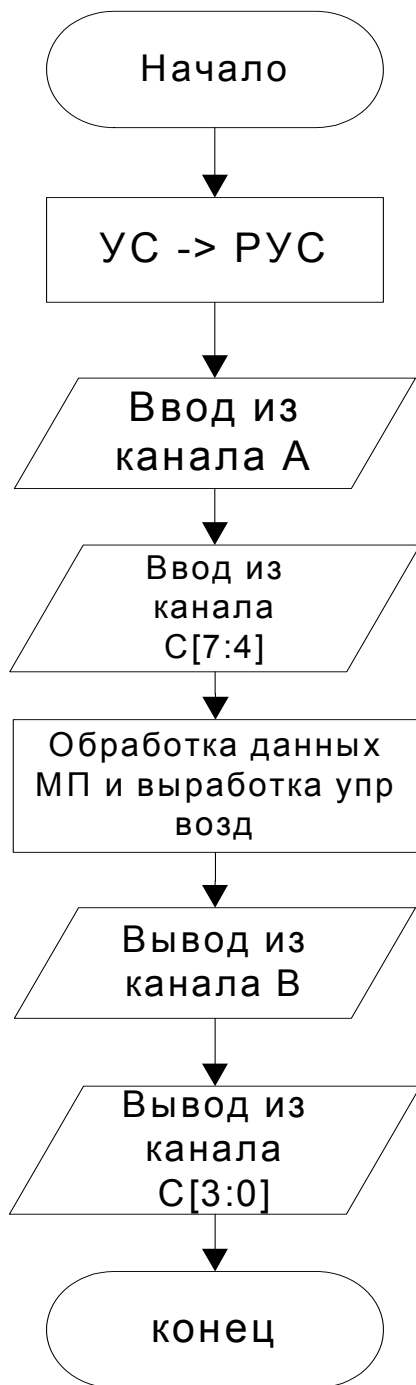
Данные канала С[7:4] – 0023 (Кнопка)

Данные канала С[3:0] – 0024 (сиг. ламп)

Адрес контроллера[7:2]= 1100.10 11=СВ

Рис. 4.6. Разработка программы: а - управляющее слово; б - распределение памяти

а) схема алгоритма



б) текст программы

Адрес ОЗУ	Мнем.	Hex-код	Операция
00B0	LDA	3A	УС → А
00B1		20	
00B2		00	
00B3	OUT	D3	УС → РУС
00B4	PORT	CB	
00B5	IN	DB	АЦП → А
00B6	PORT	C8	
00B7	STA	32	А → М2
00B8		00	
00B9		21	
00BA			
00BB			
00BC			

Рис. 4.7. Разработка программы (продолжение): а - схема алгоритма; б - фрагмент текста программы на внутреннем языке команд МП КР580

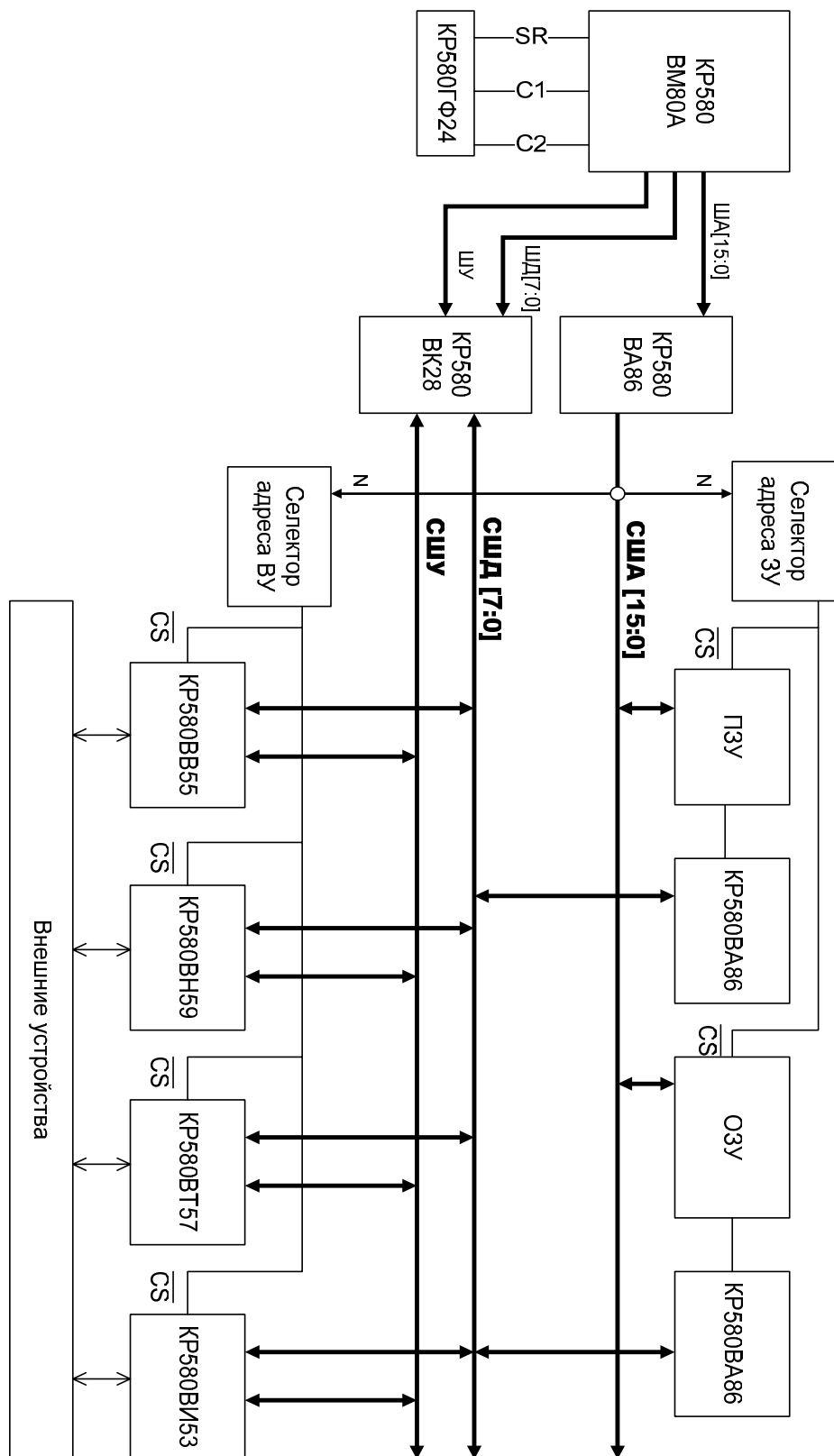


Рис. 4.8. Типовая структура МПС на базе МП – комплекта КР 580



## 5. ОДНОКРИСТАЛЬНЫЕ МИКРОЭВМ СЕРИИ КР1816

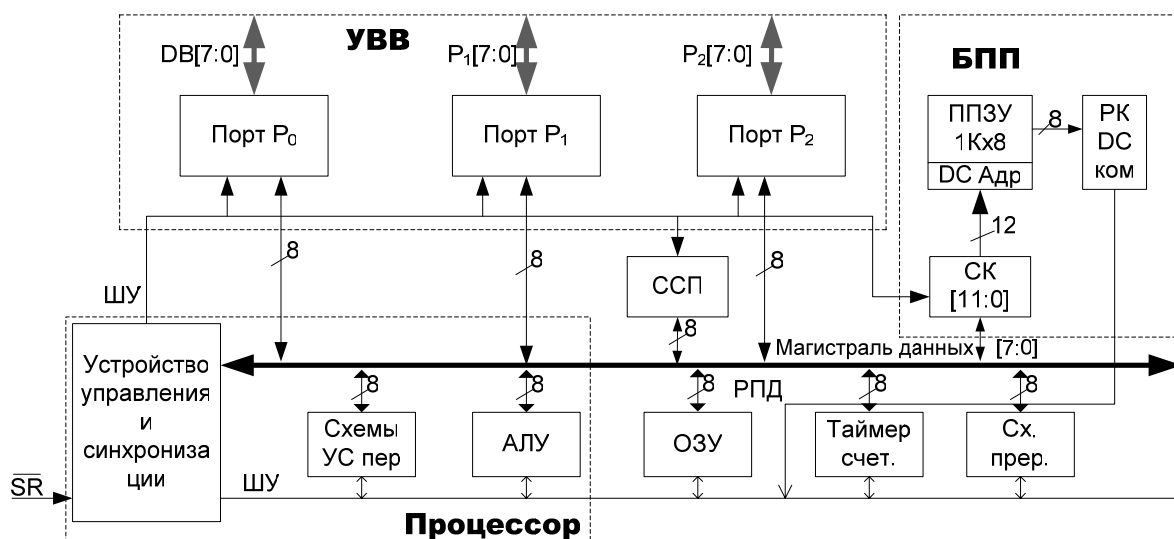


Рис. 5.1. Структурная схема МП 1816

МП-комплект 1816 состоит из 4 модификаций микроЭВМ, выполненных по n-МДП технологии.

В одной микросхеме размещается 8-разрядная однокристальная микроЭВМ. Эта микроЭВМ отличается особой универсальностью, автономностью, гибкостью применения в различных встроенных устройствах автоматики и управления. Вследствие этого эти устройства называются микроконтроллерами (МК).

На структурной схеме можно условно выделить основные блоки: процессор, блок программной памяти (БПП), резидентную память данных (РПД), устройства ввода-вывода (УВВ), таймер-счетчик, схему прерывания.

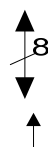
### 5.1. Процессор

Процессор включает в себя АЛУ, устройство управления и синхронизации, схемы условных переносов, регистр состояния программы (ССП).

АЛУ – 8-разрядное, параллельного действия, которое выполняет операции сложения и вычитания в дополнительном коде в двоичной и двоично-десятичной системах счисления.

Кроме того выполняются логические операции И, ИЛИ, сумма по модулю 2, сдвПР, сдвЛВ.

Основой всей структуры микроЭВМ является внутренняя восьмиразрядная магистраль данных.

На рис.5.1 используются условные обозначения:   

 информационные сигналы (8-разрядные данные и команды);  
 управляющие сигналы.

АЛУ построено без регистров. Роль РОН выполняют регистры оперативной памяти (РПД).

В процессе выполнения вычислений формируется ССП (рис. 5.2).



Рис 5.2. Формат ССП

## 5.2. Организация памяти

Одной из важнейших особенностей МК является физическое и логическое разделение памяти программ и памяти данных.

БПП – блок программной памяти. Основной узел ППЗУ – (перепрограммируемое постоянное запоминающее устройство) Объем – 1кХ8 бит (1024 байта)

С выхода DC команд подается сигнал в устройство управления и синхронизации, в котором формируются управляющие сигналы в соответствии с командой.

Карта адресов памяти программы:

РПП – резидентная память программы (внутренняя)

ВПП – внешняя память программы

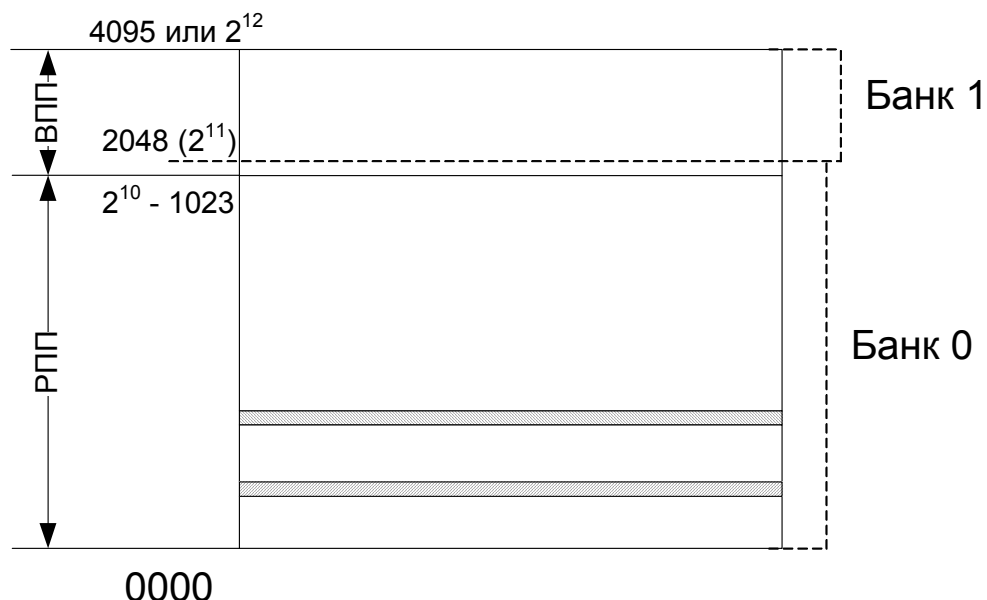


Рис. 5.3. Карта адресов памяти программ

На рис. 5.3 представлена структура программной памяти, которая разделяется на внутреннюю (РПП) –банк 0 и внешнюю (ВПП)-банк1.

Для запуска программы на выполнение, при включении компьютерной системы подается сигнал сброса (SR), при этом устанавливается в 0 счетчик команд → идет обращение к адресу 0000.

По адресу 0000 размещена команда безусловного перехода к началу выполняемой программы. Прочтенная команда поступает в регистр команд (РК) и затем в дешифратор кода операции (DC).

С выхода DC команд сигналы подаются в устройство управления и синхронизации, в котором формируются управляющие сигналы в соответствии с выполняемой командой.

По адресу 0003 находится начальный адрес подпрограммы обработки прерывания от внешнего устройства.

По адресу 0007 начальный адрес подпрограммы обработки прерывания от таймера счетчика.

Выбор БАНК0 или БАНК1 осуществляется с помощью 12-го разряда:

СЧ[11] := 0 → БАНК0

СЧ[11] := 1 → БАНК1.

Вся РПП разбита на страницы по 256 адресов в каждой.

### 5.3. Организация памяти данных

Память данных разделена на внутреннюю и внешнюю.

Внутренняя или резидентная память данных (РПД) представляет собой ОЗУ емкостью 64 байта. На рис. 5.4 представлена ее карта.

7	0
РПД	63
32x8	32
Банк РГ1	31
R1*	
R0*	24
Стек	23
16x8	8
Банк РГ0	7
R1	1
R2	0

Рис. 5.4. Карта памяти данных

Как следует из рис. 5.3, собственно РПД занимает 32 8 ячеек и стек- 16x8. Кроме того, имеются два банка регистров по 8x8 ячеек.

К регистрам в банке 0, банке 1 идет обращение командами с прямой адресацией. Кроме того, регистры этих банков  $R_0$ ,  $R_1$ ,  $R_0^*$ ,  $R_1^*$  используются для организации команд с косвенной адресацией при обращении к резидентной памяти данных.

В стек заносятся данные прерванной программы при обработке прерываний. На каждое прерывание отводится 2 ячейки стека.

В первую ячейку заносится адрес возврата, т.е. содержимое счетчика команд, где указано, к какой команде перейти после обработки прерывания. По второму адресу записывается содержимое ССП[7:4].

#### **5.4. Таймер-счетчик**

Имеет размерность 1 байт и является суммирующим счетчиком.

Это специальный счетчик, который может подсчитывать количество импульсов, которые могут приходить извне (от объекта).

Он используется в двух целях:

1. Для формирования временных интервалов программным способом. При этом могут быть реализованы задержки  $t = 80 \text{ мкс} - 20,5 \text{ мс}$ .
2. Для задания также некоторых констант для схемы условных переходов.

Кроме того, он может подсчитывать внешние сигналы, поступающие на вход T1 от внешних устройств (эти сигналы есть некоторая информация о состоянии объекта). А также есть команды, которые анализируют эти сигналы: JT1 и JTN1.

Это означает, что условные переходы могут возникать не только в процессе вычислений, но и в зависимости от состояния объекта управления.

#### **5.5. Организация ввода/вывода в контроллере**

Для связи с объектом управления используются три порта.

P0 – двунаправленный

P1 и P2 – квази-двунаправленные, это означает, что программным способом можно задать их режим работы:

- на ввод
- на вывод
- на ввод-вывод.

При поступлении сигнала SR все порты устанавливаются в режим ввода. При этом выходное сопротивление устанавливается в бесконечность ( $R_{\text{вых } P0} = Z = \infty$ ).

В процессе работы, чтобы P<sub>1</sub> и P<sub>2</sub> работали на ввод, программным путем устанавливаются единицы. При этом, если

нужно, входная информация в МК должна сохраняться. При работе на вывод в  $P_1$  и  $P_2$  выходная информация запоминается.

### 5.6. Устройство управления и синхронизации

Предназначено для выработки управляющих сигналов в соответствии с выполняемой командой. Управляющие сигналы направляются как во внутренние узлы МК, так и во внешние (наружу). Внешние сигналы предназначены для управления обменом данными с внешними устройствами МП – системы.

На рис. 5.5. представлены управляющие сигналы, которые обеспечивают взаимодействие МК и устройств, входящих в состав МПС.

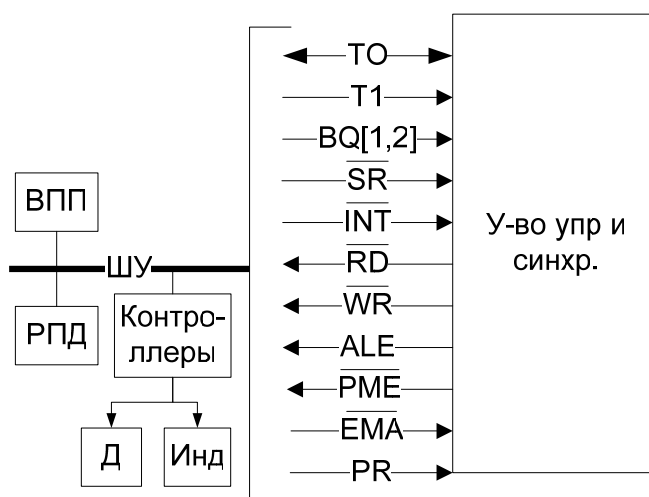


Рис. 5.5. Входные- выходные управляющие сигналы

$T0$  – синхроимпульсы, генерируемые МП, которые могут использоваться для синхронизации при запуске внешних устройств. В рабочем режиме на вход МК поступают сигналы о состоянии объекта, которые анализируются командами условного перехода  $JT0$ ,  $JNT0$ .

$T1$  – поступает от внешних устройств на вход счетчика внешних событий (таймер, счетчик).

$BQ$  – вход внешнего генератора синхроимпульсов

$\overline{SR}$  – вход начальной установки МП, при поступлении импульса:

- $Ск := 0$
- $Ус := 0$  (указатель стека)

- Порты PO[7:0]:=Z=∞
- P1 , P2 – переключаются в режим ввода
- Выбирается банк PГ0
- Запрещаются прерывания РПП:=0

INT – запрос на прерывание от внешнего устройства

RD – чтение из внешней памяти данных

WR – запись во внешнюю память данных

ALE – строб адреса, при обращении к внешней памяти данных, или внешней памяти программы (рис. 5.6).

PME – строб чтения из внешней памяти программы

EMA – переключение в режим программирования ПЗУ (занесение информации в МП, для ее выполнения)

PR – вход информации в режиме программирования ПЗУ.

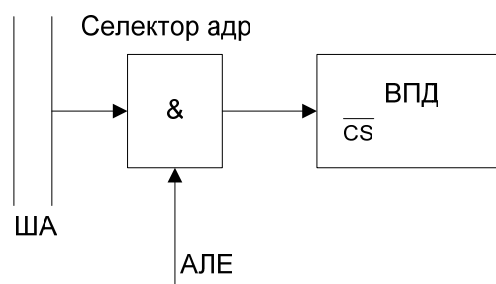


Рис. 5.6. Использование сигнала АЛЕ для выборки ВУ

## 5.7. Формирование синхроимпульсов и управляющих сигналов

На рис. 5.7 представлена упрощенная схема формирования управляющих сигналов. На входе схемы подключен генератор частоты  $F = 1...6$  МГц, далее с помощью делителя на 3 получаются синхроимпульсы с частотой  $F = 2$  МГц, из которых и формируются в МК все управляющие сигналы (УС).

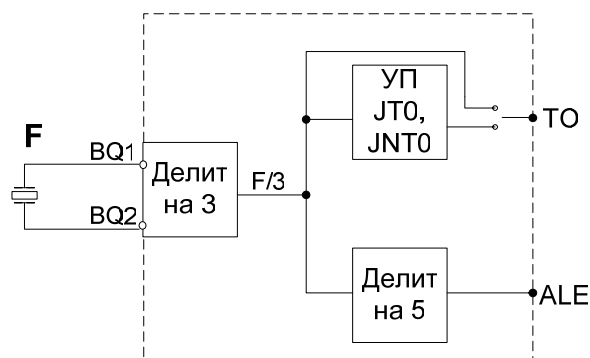


Рис. 5.7. Блок-схема формирования УС

Как следует из рис. 5.8, каждый машинный цикл равен 5 тактам. Все УС формируются из машинных тактов (мт).

Сигналы  $ALE = 1\text{ мт}$ ,  $WR = 3\text{ мт}$ ,  $RD = 3\text{ мт}$ ,  $PME = 4\text{ мт}$  и т.д.

Если переключатель в верхнем положении, то синхроимпульсы поступают в МП-систему через выход T0, но при переходе переключателя в нижнее положение через контакт T0 сигналы от ВУ поступают на схему условных переходов (УП).

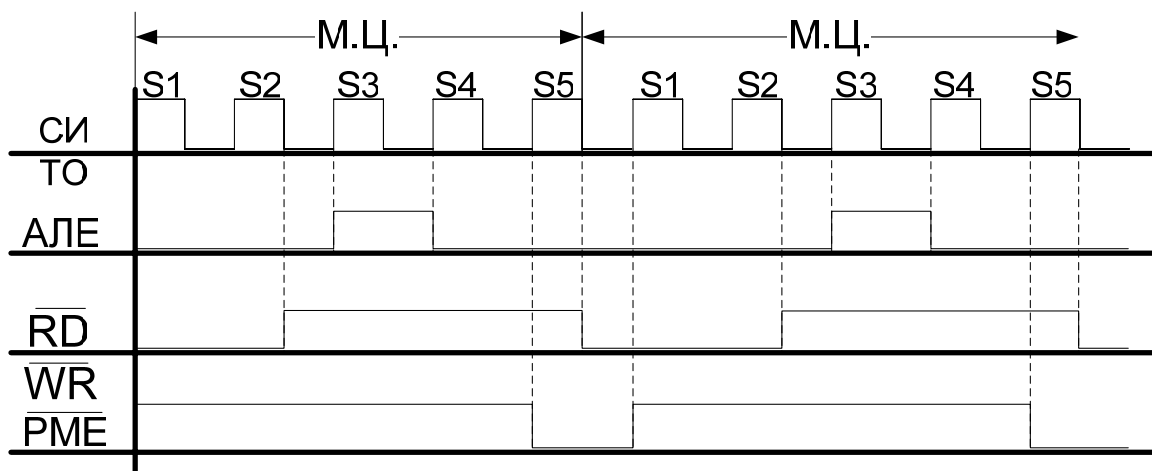


Рис. 5.8. Временная диаграмма УС

## 5.8. Подключение к микроконтроллеру внешнего устройства

МК 1816 по входам и выходам совместим с ТТЛ-элементами, а также с интерфейсными микросхемами из МП набора К580. Эти микросхемы применяются для увеличения числа внешних устройств, которые могут быть подключены к внешнему



контроллеру, а также для реализации режимов прерывания или ПДП.

Рассмотрим примеры подключения (рис 5.9) к МК микросхемы КР580ВВ55 (контроллер параллельного ввода-вывода)

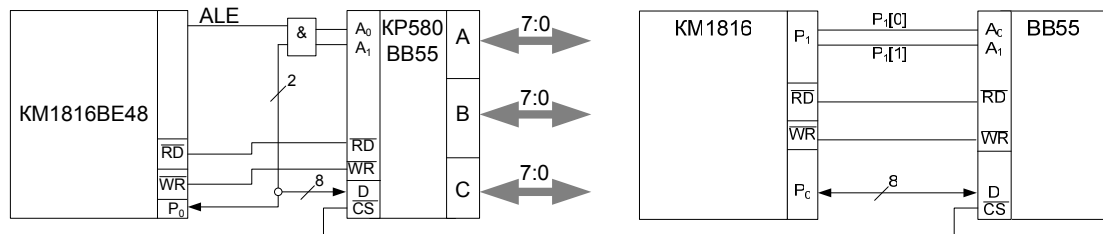


Рис. 5.9. Пример подключения к МК интерфейсных плат МП-комплекта КР580

## 6. ПРОГРАММИРУЕМЫЙ ТАЙМЕР КМ580ВМ53

Эта микросхема представляет собой 3-канальное программируемое устройство, предназначенное для организации работы МПС в режиме реального времени. По каждому из каналов могут быть сформированы сигналы с различными временными параметрами (рис. 6.1).

Счетчики содержат  $n=16$  двоичных или  $n=4$  десятичных разрядов и могут, в зависимости от режима, работать как в двоичной, так и в двоично-десятичной системах счисления.

A0, A1 – нулевой и первый разряды США, используются для выбора выхода;

CS(BY) – выбор кристалла;

C0, C1, C2 – синхрои импульсы;

CE[0:2] – управляющие сигналы, определяют момент времени, в который начинается счет, поступают обычно извне (от процессора).

Частота синхронизации сигналов

C[0:2] = 0 – 2.5 МГц

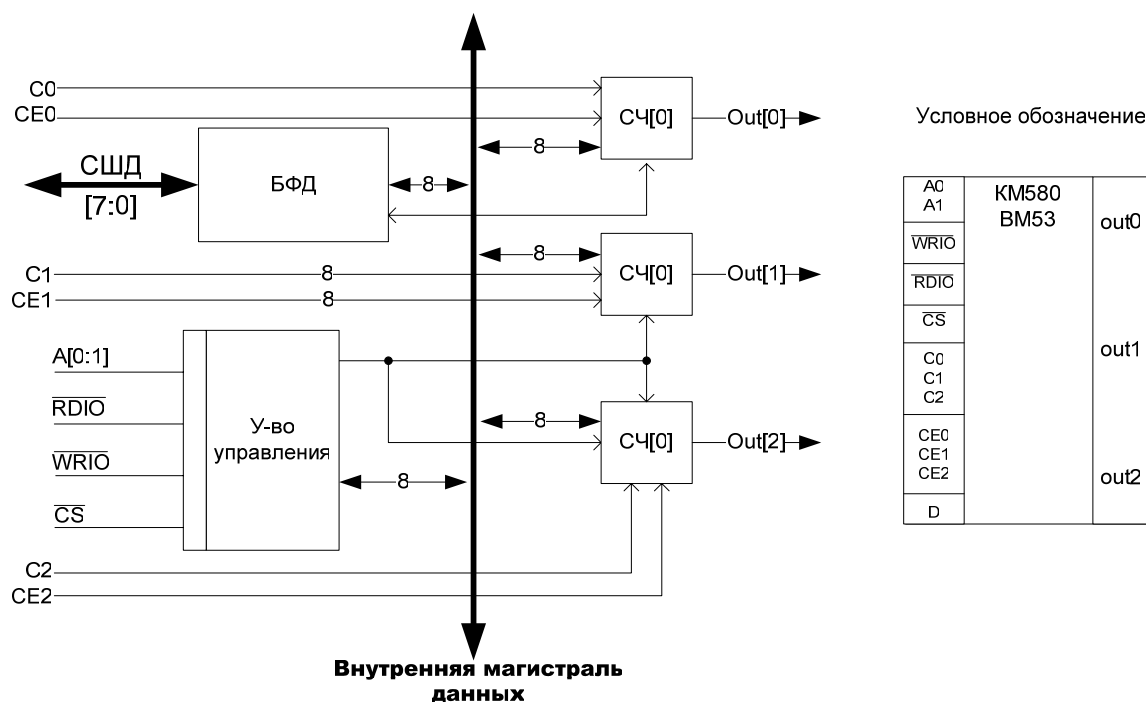


Рис. 6.1. Программируемый таймер и его УГО

Перед началом работы выполняется программирование микросхемы процессором при помощи управляющего слова.

Формат управляющего слова.

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Таблица 6.1

выбор канала D7,D6	размер данных D4,D5	выбор режима D3,D2,D1	Система счета D0
00 – out[0] 01 – out[1] 10 – out[2] 11 – нераб.	00 – нераб. 01 – МЛ Б 10 – СТ Б 11 – МЛБ СТБ	000 – реж 0 001 – реж 1 ..... 101 – реж 5	D0 := 0 СЧ в двоич. коде D0 := 1 СЧ в десят. коде

В табл. 6.1 представлено назначение отдельных разрядов управляющего слова.

Таблица 6.2

сигналы на входах					
<u>WRIO</u>	<u>RDIO</u>	A1	A0	<u>CS</u>	Направление и вид информации
0	1	1	1	0	ШД -> ПТ УС -> в сч0, Сч1, сч2
0	1	0	0	0	загр СЧ[0] ШД ->ПТ
0	1	0	1	0	загр СЧ[1] ШД ->ПТ
0	1	1	0	0	загр СЧ[2] ШД ->ПТ
1	0	0	0	0	ПТ -> ШД; чтен сч0
1	0	0	1	0	ПТ -> ШД; чтен сч1
1	0	1	0	0	ПТ -> ШД; чтен сч2
1	0	1	1	0	БФД out[0:3] высокоимп. 3 сост (осв. шины)

В табл. 6.2 представлены режимы работы программируемого таймера в зависимости от состояния входов микросхемы.

Программирование осуществляется с помощью команд ввода/вывода (in port, out port).

В каждый счетчик заносится код, соответствующий длительности сигнала, который должен формироваться. Эта длительность определяется, как кодом, хранимым в регистрах, так и частотой сигналов синхронизации.

### 6.1. Режимы работы программируемого таймера.

Существуют 6 режимов работы таймера. Рассмотрим два из них.

Режим 1 – ждущий мультивибратор-генератор прямоугольных импульсов, временная диаграмма представлена на рис. 6.2.

При поступлении управляющих командных сигналов на выходе формируется отрицательный импульс длительностью  $t_w = N \cdot T_c$ , где

$$T_c = 1/f_c$$

$f_c$  – частота синхронизирующих импульсов.

$T_c$  – период следования импульсов.

$N$  – число в счетчике.

## 6.2. Временная диаграмма

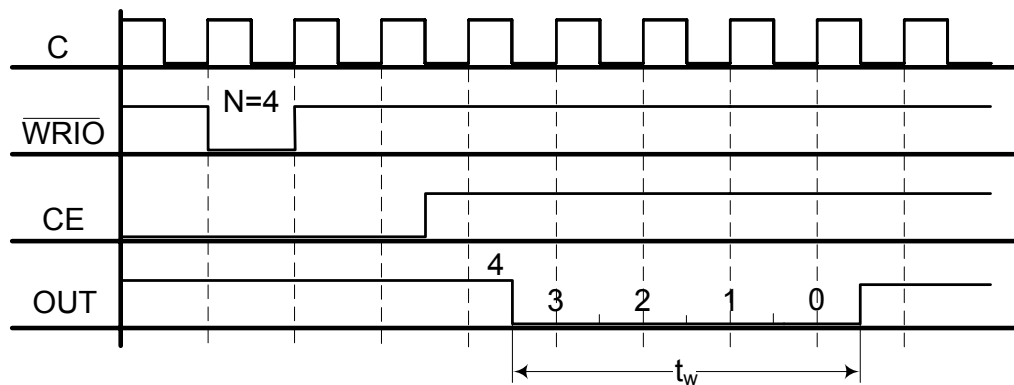


Рис. 6.2. Временная диаграмма сигналов в режиме 1

На рис. 6.2 длительность выходного сигнала  $t_w = 4 T_c$

Режим работы 2 – программируемый таймер (ПТ) работает как делитель частоты входных синхроимпульсов (рис. 6.3).

N-содержимое счетчика. На выходе получается последовательность импульсов с частотой  $F_{out} = f_c / N$ .

Период следования импульсов на выходе  $T_{out} = 1/f_{out} = T_c * N$ .

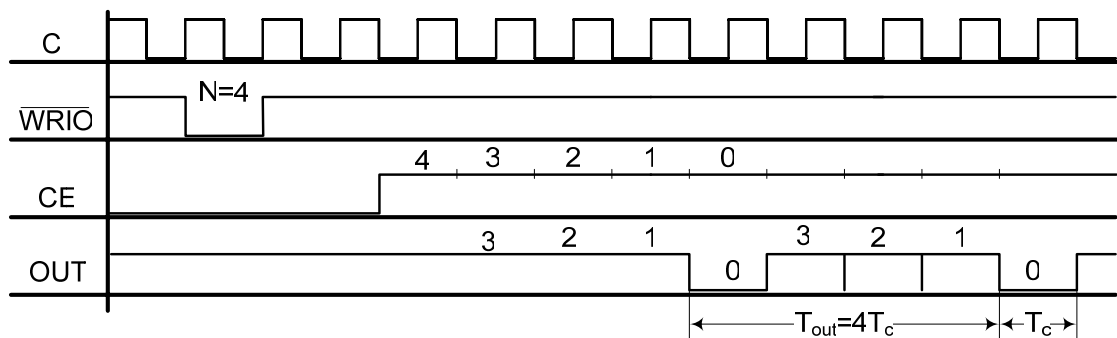


Рис. 6.3. Временная диаграмма формирования сигналов

в режиме 2

В результате работы таймера в этом режиме на выходе получается последовательность отрицательных импульсов с длительностью, равной  $T_c (= 1/f_c)$  и с периодом следования

$$T_{out} = 4T_c (= N * T_c)$$

### 6.3. Пример программирования таймера (ПТ)

Таймер управляется от процессора через контроллер ввода-вывода

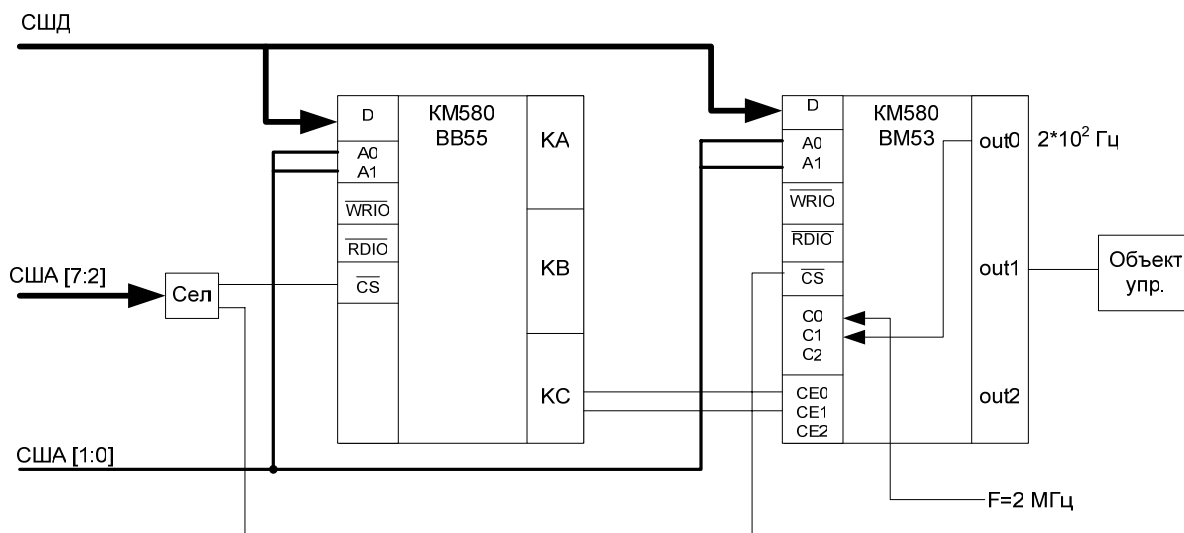


Рис. 6.4. Подключение таймера к системным шинам и объекту управления

#### Постановка задачи

Для управления некоторым объектом необходимо сформировать импульс длительностью

$$T_{об} = 45 \text{ сек}$$

$$F_{си} = 2 \cdot 10^6 \text{ Гц};$$

$$t_{си} = 0,5 \text{ Мксек}$$

$$N = 45 \cdot 10^6 \cdot 2 = 90 \cdot 10^6$$

Счетчик max до  $20^{16}$  двоичных или  $10^4$  десятичных, поэтому примем, что в счетчики занесем следующие исходные данные:

счетчик out[0] – делит на  $N = 10^4$

счетчик out[1] – длит  $N = 9 \cdot 10^3$ .

В табл. 6.3 представлены исходные данные и их размещение в ОЗУ. При программировании задается:

УС0- управляющее слово 0-го канала

УС1- управляющее слово 1-го канала.

Содержимое счетчиков в двоично-десятичном коде.

Таблица 6.3

Исход. данные	Распределение ОЗУ
УС0 = 00110101	0010
УС1 = 01110011	0011
СЧ[0] = 9999H	0012
СЧ[1] = 9000H	0013

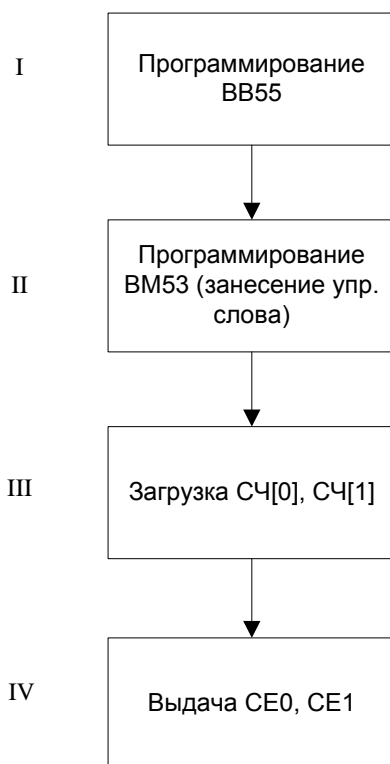


Рис. 6.5. Блок-схема программы

На рис.6.5 представлена блок-схема программы, в табл. 6.4-фрагмент программы.

Таблица 6.4

Адрес	Мнемоника	Н-код	Пояснения
	LDA	код операции 10 00	A:=УСО
	OUT	код операции 90	УСО→ПТ
	LDA	код операции 11 00	A:=УС1
	OUT	код операции 91	УС1→ПТ

## 7. ФУНКЦИОНИРОВАНИЕ МП - СИСТЕМЫ В РЕЖИМЕ ПРЕРЫВАНИЯ

Режим прерывания обеспечивает функционирование МПС в режиме обмена данными с медленнодействующими внешними устройствами. В общем случае МП и внешнее устройство не синхронны. Режим прерывания обеспечивает также синхронизацию процессов обмена данными.

### Принципы организации данных

1. Каждая прерывающаяся программа содержит информацию о возможности или невозможности ее прерывания.
2. Прерывание допускается только после окончания выполнения последнего цикла очередной команды.
3. После выполнения команды, если прерывание возможно, устанавливается в «1» триггер разрешения прерывания и процессор проверяет наличие в системе запросов на прерывание.
4. Если запрос на прерывание в системе есть, то следующий цикл будет циклом обработки прерывания.

5. В этом цикле запоминаются в стеке параметры прерванной программы, что позволяет вернуться к ней снова, после окончания прерывания.
6. В начале обработки прерывания от контроллера прерывания в процессор поступает так называемый «вектор прерывания», т.е. указание о начальном адресе программы обработки прерывания
7. После окончания обработки прерывания, процессор извлекает из стека необходимые данные для продолжения прерванной программы.

На рис. 7.1 представлена временная диаграмма работы МПС в режиме прерывания.

Цикл МЦ0 – последний машинный цикл выполнения команды.

МЦ1 – МЦ4 – циклы обработки прерывания

Тк – последний машинный такт цикла (МЦ0) выполнения команды в некоторой программе. В этом такте, если прерывание данной программы разрешено, то синхроимпульсом С1 устанавливается в 1 внутренний триггер INTA (триггер прерывания).

После синхроимпульсом С2 проверяется наличие в системе запросов на прерывание (от ВУ). После того, как от внешнего устройства по шине данных пришел запрос на прерывание, триггер INT установился в 1, в следующем цикле (МЦ1) будет режим прерывания. Этим же сигналом С2 формируется INTA – сигнал разрешения прерывания и начинается МЦ1.

МЦ1 – цикл начала обработки прерывания. В соответствии с этим в такте 1 – выдается ССП 8 – слово-состояния процессора, определяющее начало режима прерывания. Устанавливается в 0 триггер INTA и триггер INT. Т.к. поступил сигнал о прерывании, то внешнее устройство (контроллер прерывания) снимает сигнал запроса на прерывание и выставляет INTA в 1.



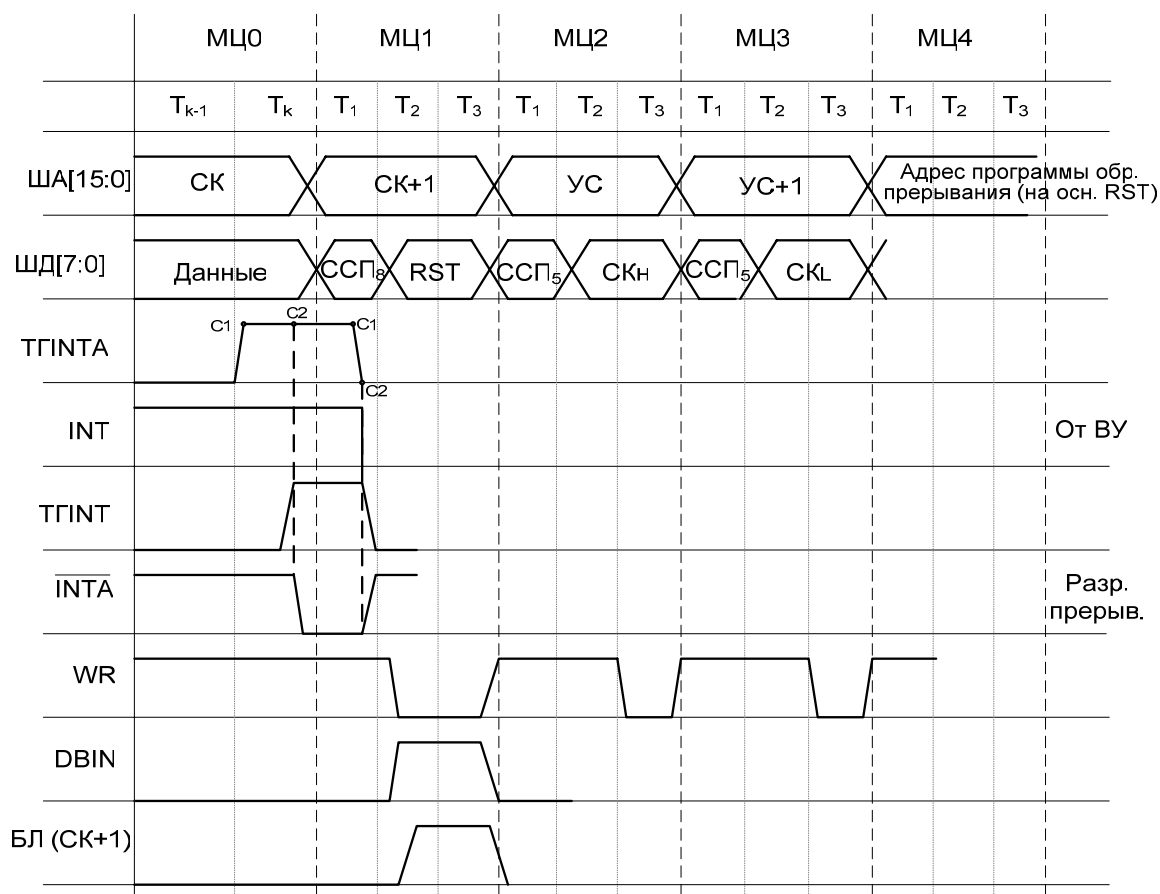


Рис. 7.1. Временная диаграмма работы МПС в режиме прерывания

Контроллер прерывания принимает сигнал разрешения прерывания (INTA) и формирует (выставляет) на шину данных RST – вектор прерывания (разрядность 1 байт). В этом коде задается номер внешнего устройства.

1 байт:

1	6	5	4	3	2	1	0
1	1	R	S	T	1	1	1

Выдаются сигналы WR и DBIN (Процессор считывает данные с ШД) На ША к СК автоматически прибавляется 1 к адресу.

БЛ(СК +1) – сигнал, запрещающий считывание из памяти данных по этому адресу.

МЦ2,МЦ3 – циклы, обеспечивающие запоминание в стеке – содержимого в счетчике команд;

ССП5 – режим записи в стек

СК<sub>Н</sub> – старший байт счетчика команд

СК<sub>L</sub> – младший байт счетчика команд.

На шину адреса должен быть выставлен адрес первой команды на прерывание. Для реализации такой программы существует специальная микросхема – контроллер прерывания.

### 7.1. Программируемый контроллер прерываний KP580BH59

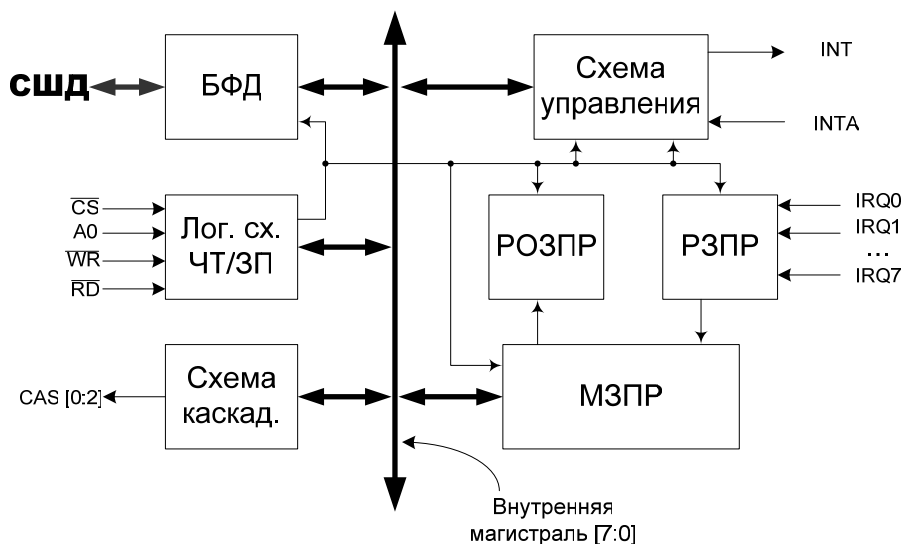


Рис.7.1. Структурная схема контроллера прерываний

Данная микросхема обеспечивает обмен данными между процессором и 8 внешними устройствами в режиме прерывания. Количество внешних устройств может быть увеличено с помощью добавления других таких же микросхем (до 8) и их объединения с помощью схем каскадирования.

РЗПР – регистр запросов. На него поступают 8 запросов от внешних устройств

РОЗПР – регистр обслуживаемых запросов

МЗПР – маскирование запросов

Микросхема может работать в двух режимах:

1. режим программирования
2. режим обслуживания.

В режиме программирования задаются приоритеты внешних устройств. Используется циклический способ задания приоритетов.

Предполагается, что все устройства установлены в жесткой последовательности.

В табл. 7.1 представлены варианты задания приоритетов.

Таблица 7.1

	№	I вар	II вар	III вар
Старший приоритет	IRQ 0	0	1	7
	IRQ 1	1	2	0
	IRQ 2	2	3	1
	...	.	.	.
Младший приоритет	...	.	.	.
	IRQ 7	7	0	6

Задается код маски (0 – вход не обслуживается, 1 – вход обслуживается).

На РОЗПР принимаются те запросы, которые пропускаются маской (из числа поступивших запросов).

В режиме обслуживания схема управления формирует в систему сигнал INT, если в РОЗПР поступил хотя бы 1 запрос. Затем ожидает прихода INTA. После его поступления схема управления передает RST на СШД. На основе этого формируется начальный адрес программы обработки прерывания и далее программа выполняется.

## 8. ФУНКЦИОНИРОВАНИЕ МП – СИСТЕМЫ В РЕЖИМЕ ПДП (ПРЯМОГО ДОСТУПА К ПАМЯТИ)

Режим ПДП отличается тем, что обмен данными между операционной памятью (ОЗУ) и внешним устройством (ВУ) осуществляется без участия процессора, но с его разрешения.

### 8.1. Основные принципы организации режима ПДП

1. В конце последнего машинного цикла выполнения текущей команды выполняется проверка на наличие запросов (HLD -

запрос на прямой доступ) на работу в режиме ПДП. Если запросы есть, то устанавливается в 1 внутренний триггер прямого доступа. (ТГ HLD:=1) Это означает, что следующий машинный цикл будет циклом ПДП.

2. Процессор анализирует готовность внешнего устройства к обмену (RDY:=1) и выдает сигнал HLDA:=1, т.е. разрешение на работу в режиме ПДП.
3. После генерации этого сигнала переводятся в третье состояние ( $z=\infty$ ) США,СШД и сигналы RD,WR,RDIO,WRIO – шины, по которым выдаются сигналы чтения/записи. В дальнейшем захват этих шин предоставляется контроллеру ПДП.
4. В режиме программирования (ранее) процессор задает параметры обмена данными, а именно: начальный адрес массива в ОЗУ, количество ячеек в массиве, приоритеты внешних устройств.
5. Во время режима обмена процессор может продолжать выполнять ранее начатые вычисления, без использования ОЗУ.
6. Для реализации режима ПДП разработан специальный контроллер.

## **8.2. Контроллер ПДП K580BT57**

Этот контроллер (рис.8.1) обеспечивает обмен массивами данных между ОЗУ и 4 внешними каналами. Режим обмена задается во время программирования. При этом в регистр адреса РА заносится начальный адрес массива, в регистр цикла PC, заносится количество ячеек в массиве. В каждом такте обмена передается 1 байт данных. Эти регистры размещены в блоке управления. Там же находится и регистр режима PGP, в который заносятся приоритеты каналов.

На буферы каналов БФК [0:3] подаются запросы на режим ПДП DRQ [0:3], с выходов этих буферов выдаются сигналы разрешения DACK [0:3].

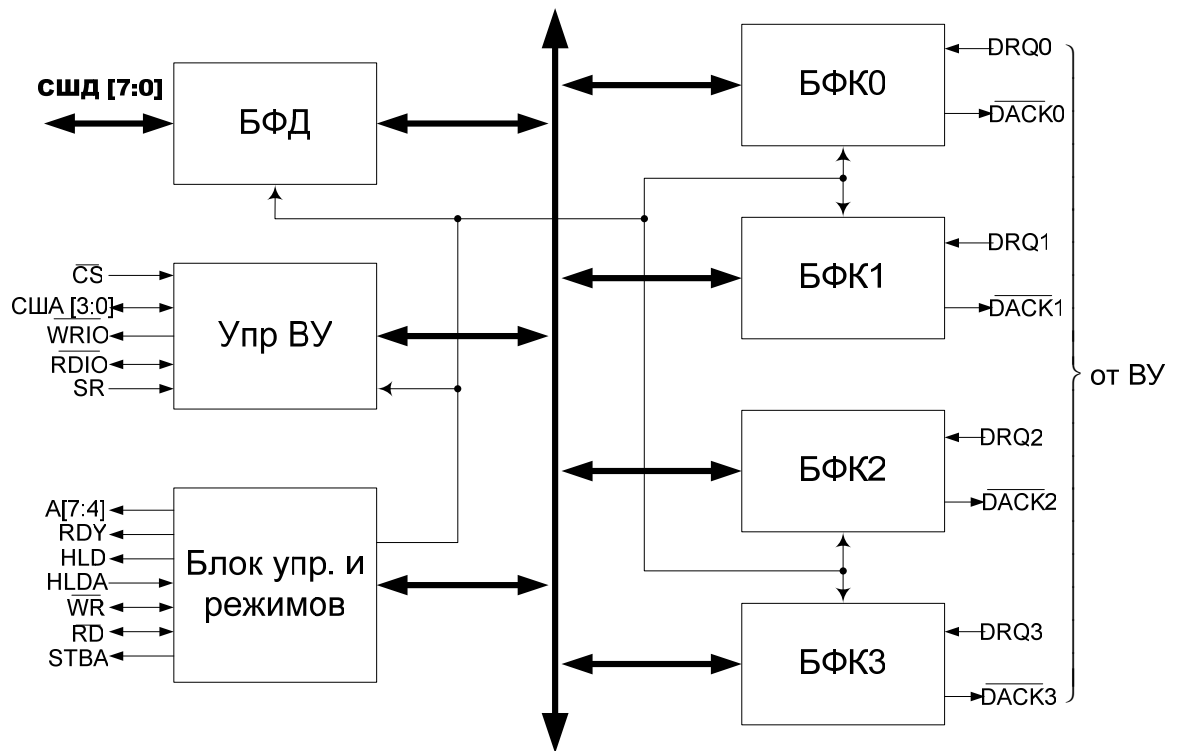


Рис. 8.1. Структурная схема контроллера ПДП

На блок управления ВУ поступают и им выдаются следующие сигналы:

- CS – сигнал выборки поступает от селектора;
- CША [3:0] – системная шина адреса
- → в режиме программирования процессор с помощью этих разрядов адресует или внешние каналы или регистры блока управления;
- ← в режиме ПДП контроллер выдает на CША соответствующие адреса ОЗУ, которые определяют адрес очередной ячейки массива;
- WRIO (RDIO):
- → в режиме программирования процессор выдает команду обращения к внешнему устройству для записи (чтения);
- ← в режиме ПДП эти сигналы формируются контроллером и выдаются на внешние устройства;
- SR – сигнал начальной установки. Устанавливает схему в исходное состояние, т.е. все системные шины, которые

подключены к контроллеру, переводятся в режим 3-го состояния (режим приема и передачи информации).

НА блок управления и режимов поступают или им выдаются следующие сигналы:

- США [7:4] – в режиме ПДП информация поступает на эти разряды от контроллеров;
- RDY – сигналы готовности контроллера ПДП к работе;
- HLD – запрос на режим ПДП;
- HLDA – разрешение процессора на режим ПДП;
- WR, RD → в режиме программирования процессор выдает команду обращения к ОЗУ для записи (чтения);
- STBA – стробирование шины адреса при обращении к ОЗУ, т.к. контроллер ПДП должен выдавать на ОЗУ 16-разрядный адрес ОЗУ (т.к. США [15:0]).

Контроллер может работать в следующих режимах:

1. Исходное состояние (переводится сигналом SR)
2. Программирование
3. Ожидание
4. Обслуживание (режим ПДП)

Программирование

В этом режиме процессор:

1. выбирает данную МС (микросхему)
2. заносит (записывает) в регистрах РА, РС, РГР соответствующие данные.

Ожидание

В режиме ожидания находится контроллер. Время ожидания ( $t_{\text{ожид}}$ ) – интервал времени между выдачей контроллером сигнала HLD и моментом, когда от процессора поступит сигнал HLDA. В режиме ПДП время ожидания ( $t_{\text{ож}}$ ) определяется необходимостью анализа сигнала  $RD1:=1$  (сигнал готовности к обмену) и решением вопроса, какому именно каналу предоставить право обмена.

### Обслуживание

В режиме обслуживания контроллер формирует в блоке управления очередной физический адрес ОЗУ. Для этой цели после окончания каждого цикла обмена из содержимого регистра цикла (РЦ) вычитается 1. Соответствующие адреса выдаются на США.

Режим «Чтение ПДП» – считывание из ОЗУ и запись во ВУ.

Контроллер формирует сигналы RD, WRIO.

Режим «Запись ПДП» – считывание из ВУ и запись в ОЗУ.

Контроллер формирует сигналы WR, RDIO.

## **9. МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ КМ1810**

Относится к моделям, выпущенным в СССР. Является аналогом Intel 8086.

Аппаратно и программно совместим с КР580.

В комплект входят:

КМ1810ВМ86 - процессор,

КМ1810ВМ84 - генератор синхроимпульсов,

КМ1810ВТ88 - системный контроллер,

КМ1810ВН59 - контроллер прерываний,

КМ1810ВБ89 - арбитр системных шин.

### **9.1. Процессор КМ1810ВМ86**

Относится к однокристальным ЭВМ, т.е. в нем организована стандартная система команд.

Тактовая частота –  $5 \cdot 10^6$  Гц = 5 МГц

Разрядность:

Шина данных – 16 разрядов

Шина адреса – 20 разрядов (оперативная память до 1 Мб)

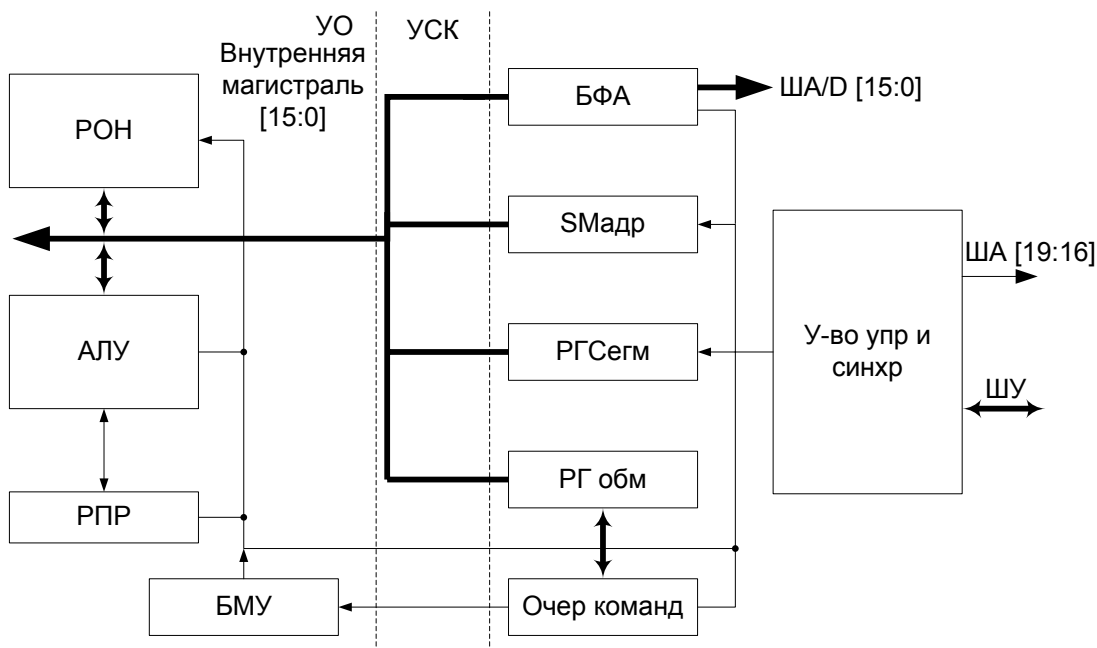


Рис. 9.1. Структурная схема процессора

Основная структурная особенность процессора (рис.9.1)– выделение двух частей: УО – устройство обработки, которое предназначено для команд и УСК – устройство связи с каналом, которое обеспечивает выборку команд и данных. Это сделано с целью увеличения производительности микропроцессора, т.к. могут быть совмещены во времени процессы выборки команд из памяти и процессы выполнения команды.

Устройство обработки включает в себя следующие узлы:

РОН – регистры общего назначения

АЛУ – арифметические логические устройства

РПР – регистр признаков

БМУ – блок микропрограммного управления

Регистр признаков (16-разрядный, младшие разряды совпадают с K580).

15		11	10	9	8	7	...	...	0
		О	Д	IN	Т	= РПР 580			



РОН: Содержит восемь 16-разрядных регистров:

AH	AL	} РОН
BH	BL	
CH	CL	
DH	DL	
SP		Указатель стека
BP		База стека
SI		Индекс источника
DI		Индекс приемника

АЛУ – 16-разрядное, выполняются арифметические операции над числами с фиксированной запятой. Обрабатываются двоичные и двоично-десятичные числа. Алгоритм ДД.

T: режим отладки (T:=1 – пошаговый, T:=0 – автоматический)

IN: управление прерываниями (1–прерывания разрешены, 0 – запрещены)

O: переполнение 16-разрядной сетки

БМУ – блок микропрограммного управления.

Имеется очередь команд, реализованных в виде регистра сдвига на 32 байта. Средний размер команды 4-6 байтов. Поэтому помещается различное число команд. Очередь команд пополняется во время обработки данных. При выполнении команды перехода регистр должен перезагрузиться, а очередь команд – сбрасывается.

Оперативная память поделена на сегменты – имеет сегментную организацию.



FA – расстояние от начала до ячейки в физической памяти.

EA – эффективный адрес – расстояние от начала сегмента до данных в сегменте.

РГ сегментов и счетчик команд:

15	0	CS – сегментный регистр кода программы
		DS – сегментный регистр данных программы
		ES – сегментный регистр внешних данных программы
		SS – сегментный регистр стека программы
		IP – регистр счетчика команд

Основной задачей УСК является вычисление физического адреса. Он вычисляется на основе суммирования со сдвигом сегментных и индексных регистров (рис. 9.2).

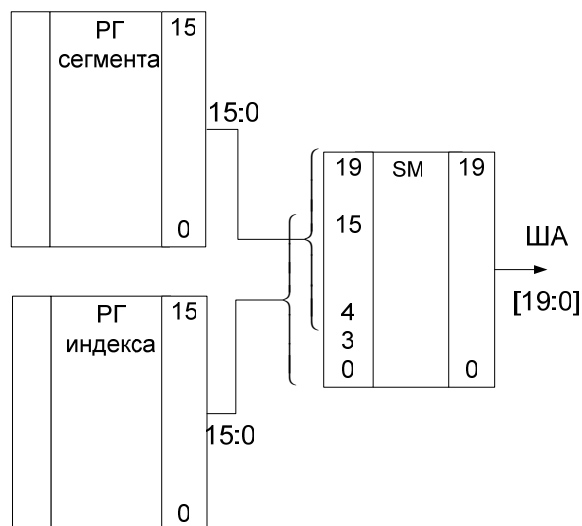


Рис. 9.2. Логическая схема вычисления физического адреса

## 9.2. Конструктивные особенности организации оперативной памяти

Оперативная память организована в виде двух банков – старшего и младшего, каждый оперирует с однобайтными данными.

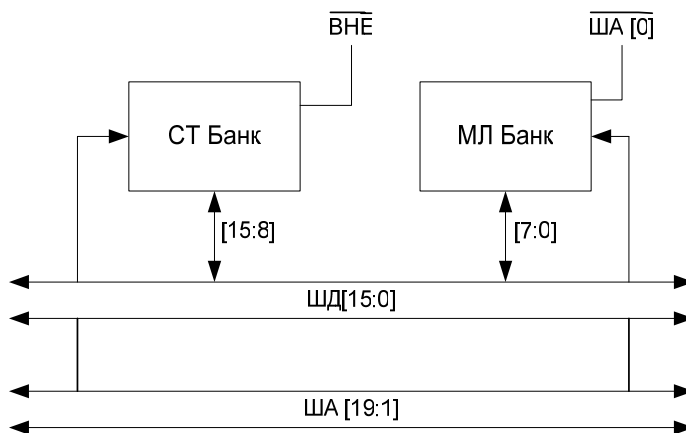


Рис. 9.3. Структура двухбайтового ОЗУ

Таблица 9.1

<u>ВНЕ</u>	<u>ША [0]</u>	Выбираемый банк	Размер данного
0	0	оба	2Б
0	1	ст.б	1Б
1	0	мл.б	1Б
1	1	нет	Выборки

Преимущество – операции одновременно выполняются над двухбайтовыми данными (табл. 9.1).

### 9.3. Методы адресации данных

Всего в системе команд предусмотрено 24 метода адресации.

Метод адресации – способ задания в команде различных признаков, на основе которых можно вычислять физические адреса данных. Как и в K580 данные могут быть введены непосредственно, из регистра, из памяти. ЕА может задаваться по-разному.

На рис. 9.5 - 9.8 представлены различные методы адресации.



Рис. 9.4. Сегментная структура ВЗУ и вычисление ФА



Рис. 9.5. Регистровый косвенный метод адресации

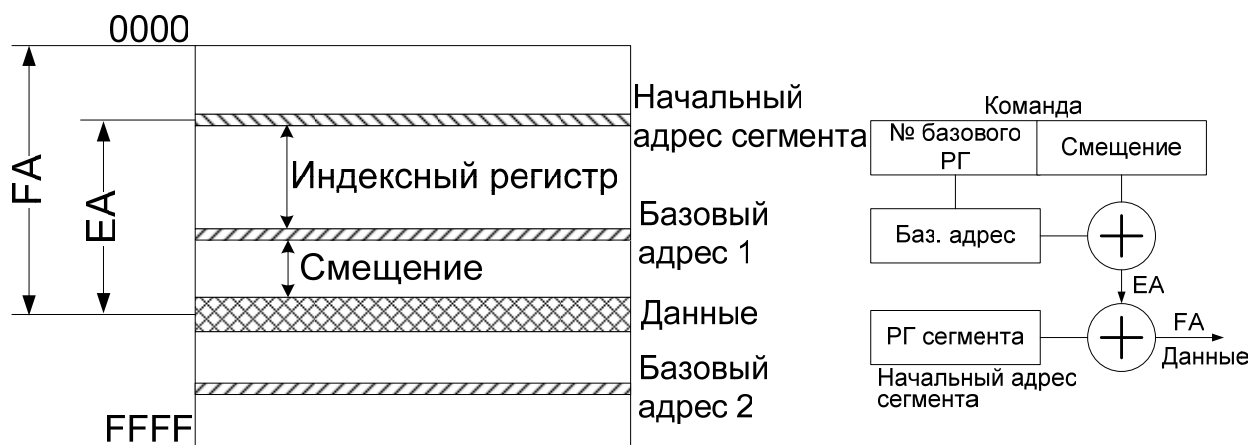


Рис. 9.6. Базовый относительный метод адресации



Рис. 9.7. Базовая индексная адресация:

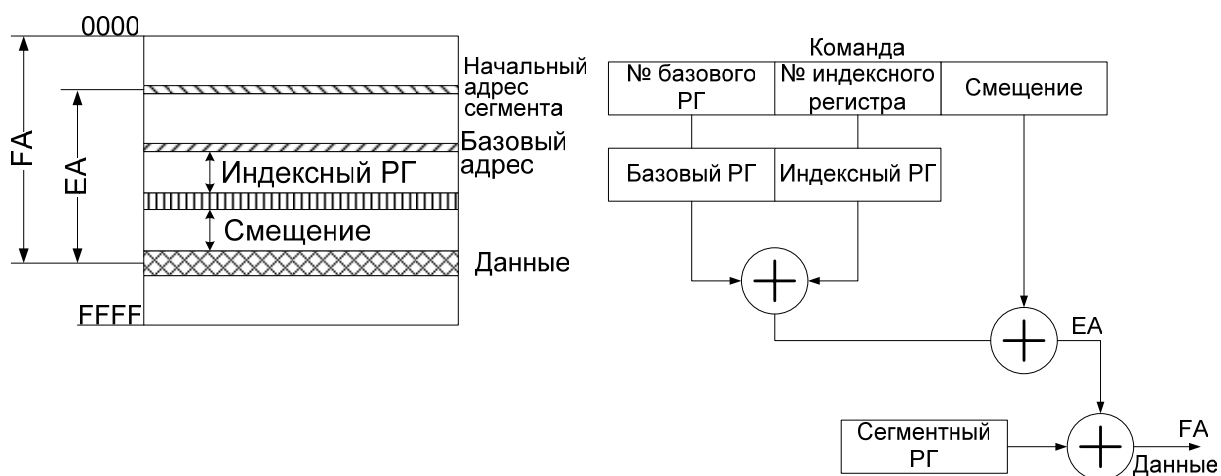


Рис. 9.8 Относительная базовая индексная адресация

В табл. 9.2 приводится обобщенный формат команды.

Таблица 9.2

1Б			2Б			3Б	4Б	5Б	6Б
7:2	1	0	7:6	543	210				
Коп	Д	W	МОД	Reg	R/M	млБ смещ.	стБ смещ.	млБ смещ.	стБ смещ.
						данное	данное	данное	данное

D:=1 Reg – приемник

W:=0 опер=1Б

D:=0 Reg – источник

W:=1 опер=2Б

Reg – номер РОН

МОД – признак модификации

Команда двухадресная (записаны адреса двух операндов).

Первый операнд –РОН (REG), второй задается с помощью кодов модификации (R/M – регистр или ячейка памяти).

В 3-м и 4-м байте могут задаваться или данные или смещение.

#### 9.4. Пример кодирования команды

$Z1 := Z1 + Z2$

$Z1 \rightarrow Ax$

$Z2 \rightarrow M_{16}$

Адресация – относительная базовая индексация

Сегментный РГ := 631В

Базовый РГ:= 715А

Индексный РГ := 07Е3

Смещение := 00F5

Код операции 000000

Записать Н-код компонентов FA и EA.

Таблица 9.3

Коп	Д	W	МОД	Reg	R/M	МлБ смещ	СтБ смещ
000000	1	1	10	000	001	F5	00

16-разрядный код: 0381F500 Нкод

В табл. 9.3 приведен 16-разрядный код: 0381F500 Н команды для заданного примера.

### 9.5. Управление и синхронизация в МП- системе



CLR – синхроиимпульсы

R – сигнал начальной установки

MN/MX:=1, то система однопроцессорная

MN/MX:=0, то система многопроцессорная

В МПС каждый раз должно быть решено, какой процессор выдает данные.

## 9.6. Организация управления в однопроцессорной системе

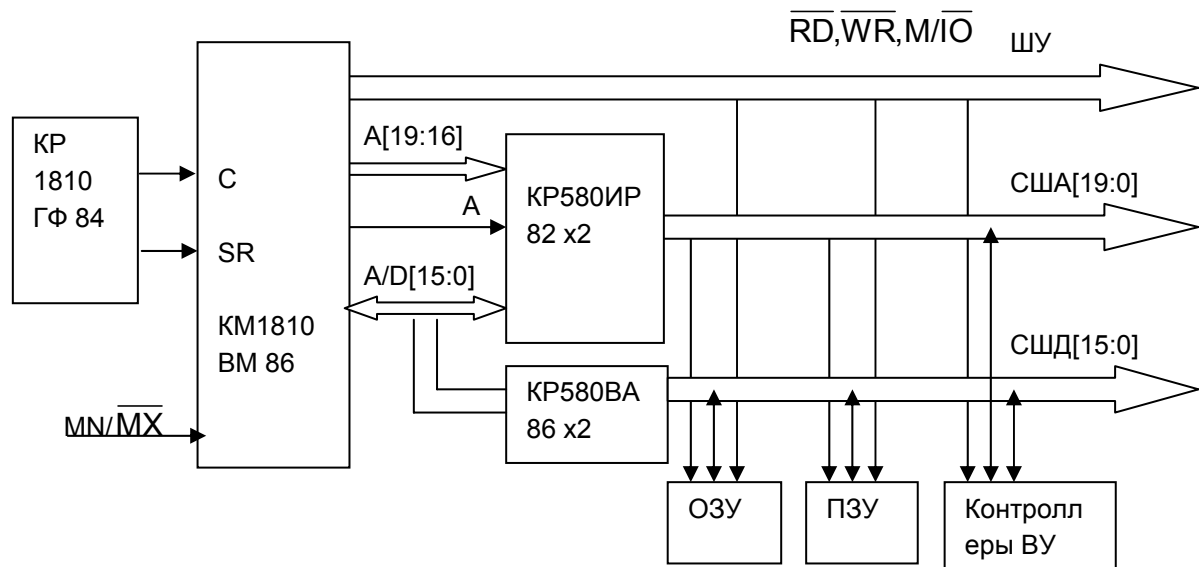


Рис. 9.9. МПС в однопроцессорном режиме

На рис. 9.9. представлена структура МПС в однопроцессорном режиме. Она состоит из генератора импульсов КР1810ГФ84.

КР580ИР82 - буферный регистр, обеспечивающий фиксацию адреса на США.

КР580ВА86 – двунаправленные шинные формирователи СШД.

Этот режим ориентирован на построение однопроцессорных систем, к которым подключено немного устройств. Процессор непосредственно вырабатывает все сигналы управления циклами канала в соответствующей временной последовательности.

В течение тактов ожидания данные на канале остаются неизменными.

Начальная установка и запуск микропроцессора осуществляются сигналом SR – длительностью  $\geq 4$  такта. При этом устанавливается в начальное состояние РГ ПР., регистр адреса команд IP, РГ. Выходы A/D, а также ряд шин управления, переводятся в высокоомное состояние.



### 9.6.1. Организация управления в многопроцессорной системе

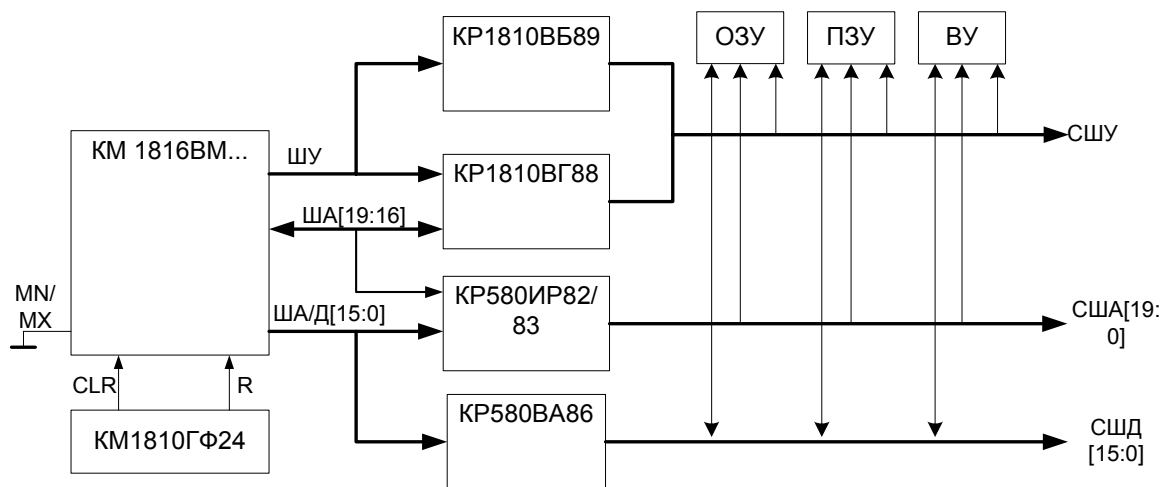


Рис . 9.10. Структура многопроцессорной системы на базе 1810 в режиме максимального включения

На рис. 9.10 изображена типовая структура МПС, состоящая из следующих микросхем (интерфейсных плат):

КР1810ВБ89 – арбитр системных шин, который в т.ч. содержит значения приоритетов микропроцессоров, входящих в состав МПС. В зависимости от запросов и приоритетов предоставляются системные шины тому или иному МП.

КР1810ВГ88 – системный контроллер, который в зависимости от типа машинного цикла формирует ряд управляющих сигналов, поступающие на системную шину управления.

КР580ИР82/83 – буферные регистры, которые хранят коды системной шины адреса (США) и усиливают нагрузочную способность шины.

КР580ВА86 – буферная двунаправленная схема, которая формирует системную шину данных (СШД) и усиливает нагрузочную способность шины.

Управление в многопроцессорной системе является двух-уровневым. В табл. 9.4 представлены типы машинных циклов.

Таблица 9.4

SA[2:0]	Тип машинного цикла
000	подтверждение прерывания
001	считывание из ВУ
010	записать во ВУ
100	считывание команд
101	чтение из ОЗУ
110	запись в ОЗУ

## 10. МП INTEL 386 И INTEL 486

Эти МП первые 32-разрядные МП. Имеют похожую структуру, но i486 выполнен на СБИС большей степени интеграции и имеет большую производительность.

Основные характеристики:

1. 32-разрядная шина адреса и данных
2. тактовая частота 386: 12-40 MHz; 486: 25-120 MHz
3. введена виртуальная память с сегментной и страничной организацией
4. введен конвейерный режим обработки команд
5. введена кэш-память (только 486)
6. сохранилась совместимость с программным обеспечением для более ранних моделей МП (8086, 8088, 80186, 80286).

На рис. 10.1 представлена структурная схема микропроцессора.

Как и МП 1810, в структуре выделены две части: устройство обработки (УО) и устройство связи с каналом (УСК).

В целях повышения производительности МП может выполнять обработку предыдущей команды, а также выбирать новые блоки команд и данные одновременно.

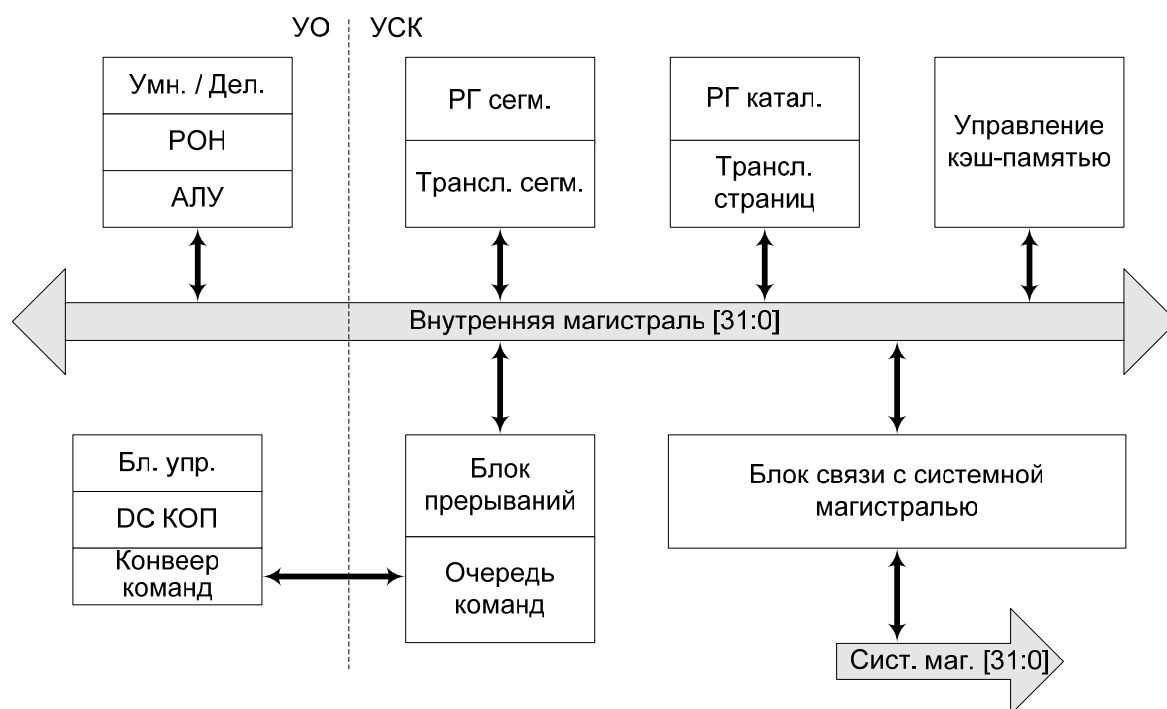


Рис. 10.1. Структурная схема МП 486

Умн/дел – логическим способом реализуется функция умножения и деления.

Конвейерное выполнение команд – за счет выполнения дополнительных аппаратных средств. Идея построения конвейера команд состоит в том, что в процессе выполнения каждой команды выделяются некоторые единые (общие) процедуры, для выполнения которых, создаются специальные аппаратные средства в таком количестве, чтобы обеспечить одновременное выполнение 5-6 команд.

- Э1 – ДС КОП
- Э2 – вычисление FA операнда
- Э3 – выборка операнда
- Э4 – выполнение арифметических операций
- Э5 – вычисление FA – результата
- Э6 – запись результата действия

1	1	2	3	4	5	6
2		1	2	3	4	5
3			1	2	3	4
4				1	2	3
5					1	2
6						1

1 команда выполняет 6 этап =  $T_{\text{эт}}$

1 команда выполняет =  $T_{\text{эт}} \times 6$

Обычный способ –  $6 T_{\text{эт}} \times 5 = 30 T_{\text{эт}}$

Конвейерный способ:  $T_{\text{вып кол}} = 10 \times T_{\text{э}}$ .

Имеется очередь команд – регистр сдвига, в которой то время когда устройство обработки выполняет вычисления, устройство связи с каналом выбирает очередной блок команд из программы.

#### Основные функции устройства связи с каналом

1. Обслуживание очереди команд.
2. Вычисление физических адресов данных и команд при сегментной организации и страничной организации памяти.
3. Организация связи между внутренними и внешними магистралями (шинами).
4. Управление кэш-памятью.

### **10.1. Виртуальная память**

Под виртуальной памятью понимается такая автоматическая организация внутренней и внешней памяти, при которой пользователь может считать, что в его распоряжении имеется внутренняя память размером (объемом), который равен объему внешней памяти.

Виртуальная память имеет 2 организации:

- сегментную
- страничную.

#### **10.1.1. Сегментная организация памяти**

При сегментной организации (рис. 10.2) памяти в ней могут быть выделены области памяти произвольного размера, в котором размещаются программы и данные необходимые для выполнения конкретной задачи. В команде при этом только смещения команды, т.е. коды, позволяющие вычислить физический адрес данных.

Отличается простотой и удобством для пользователя.

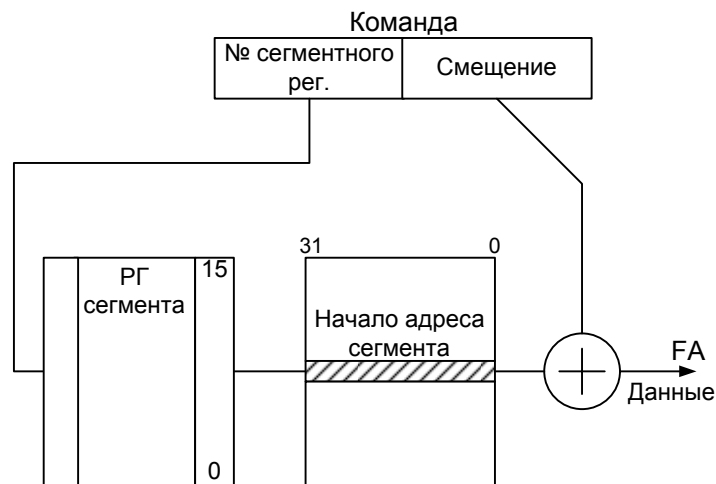


Рис. 10.2. Сегментная структура ВЗУ

### 10.1.2. Страничная организация памяти

Имеется один стандартный размер – страница объемом  $2^{10}$  байт памяти и обмен данными между внутренней и внешней памятью происходит только страницами (рис. 10.3).

Все данные формируются в страницы по 1024 ячейки. Таблицы содержат начальные адреса страниц.

Преимущества: достаточно простая аппаратная реализация.

Недостатки: данные не всегда кратны 1024.

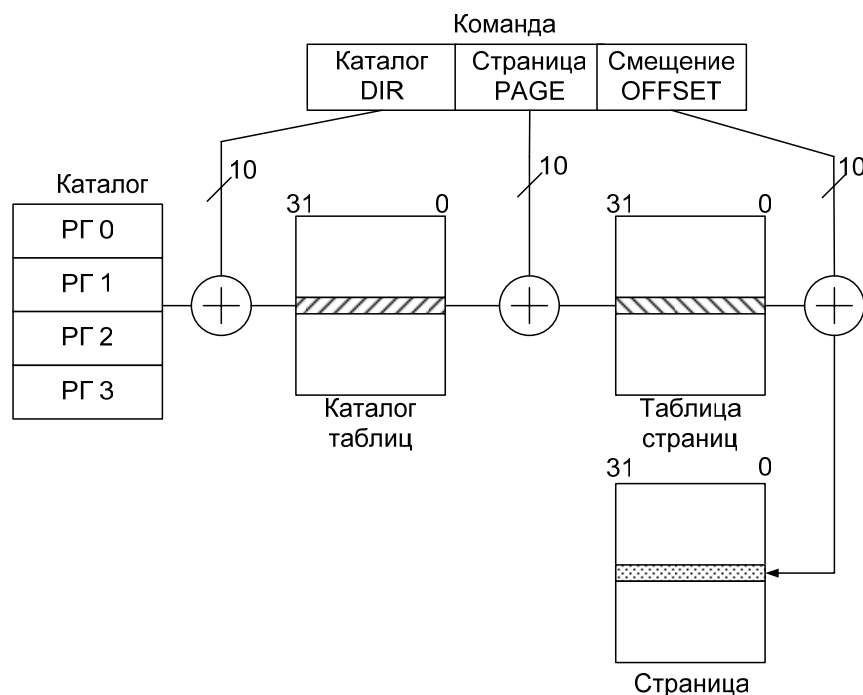


Рис.10.3. Структура вычисления FA при страничной организации

## 10.2. Кэш-память

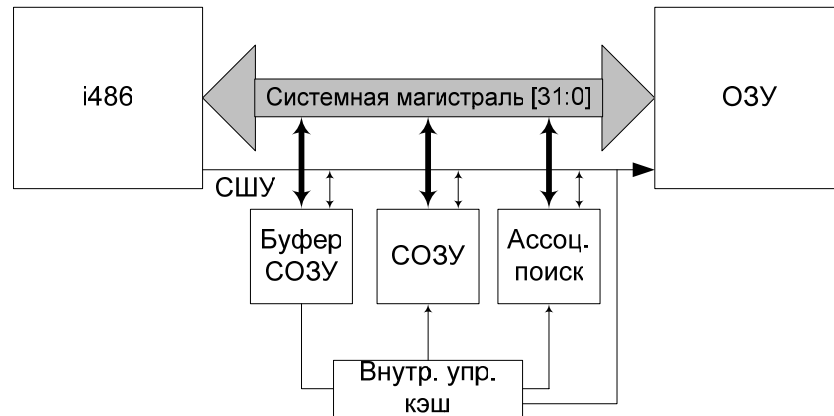


Рис 10.4. Кэш-память процессора i486

Кэш-память (рис. 10.4) представляет собой блок сверхоперативной памяти (32Кб и более), куда во время выполнения вычислений заносится очередной блок команд, который должен выполняться. В буфер записываются только данные, изменяющиеся в процессе вычислений.

Структура памяти СОЗУ – 2D, ассоциативный поиск.

## 11. СЕМЕЙСТВО PENTIUM

Процессор 5-го поколения.

x86 – программно и аппаратно совместимы со всеми МП структуры x86. Тактовая частота от 60MHz – 300MHz

На рис. 11.1 представлена структура МП Pentium. Он обрабатывает 32-разрядные данные и имеет 32-разрядные шины адреса. Для повышения быстродействия используется удвоенная СШД – 64 разряда. По ней команды поступают с ОЗУ.

Особенностью структуры является разделение кэш-памяти на кэш команд и кэш данных. Введена схема предсказания переходов и буфер предвыборки. Схема предсказания переходов анализирует, есть ли в ближайших командах инструкции перехода. Для переходов выбираются следующие цепочки операций и сохраняются в буфере предвыборки.

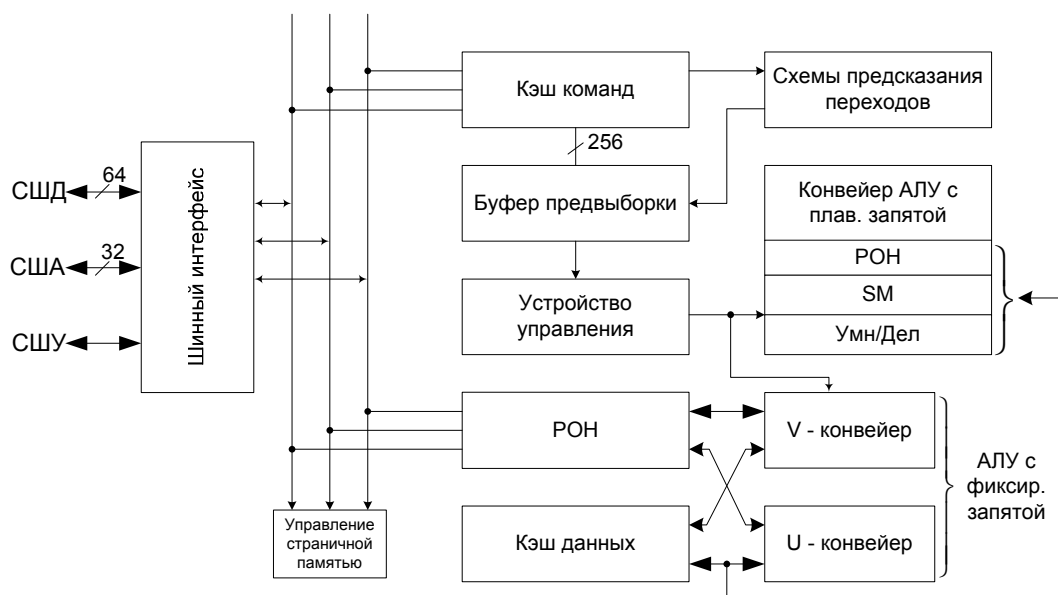


Рис. 11.1. Упрощенная структура микропроцессора Pentium

Для повышения быстродействия имеется два конвейера АЛУ. Конвейеры 5-ступенчатые. Также имеется 8-ступенчатый конвейер для выполнения операций с плавающей точкой, а также специальные аппаратные схемы умножения/деления.

## 12. АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ СОВРЕМЕННЫХ МП

Рассмотрим факторы, за счет которых можно повысить производительность.

1. Увеличение тактовой частоты – технологическая проблема, связана с толщиной проводников.
2. Распараллеливание вычислительных процессов:
  - конвейеры для арифметических операций;
  - конвейеры для выполнения команд;
  - специальные аппаратные средства.
3. Сокращение времени обращения к оперативной памяти.
4. Введение кэш`а, в современных структурах используют 2- и 3-уровневую кэш-память.
5. Создание специализированных МП.

## **12.1. Основные архитектуры системы команд**

Системы команд разделяются на два вида: скалярные и векторные.

Скалярная система команд отличается тем, что из оперативной памяти выбирается 1 слово-представление команды. Если в процессоре применены средства выполнения этого процесса (кэш-память, внутренние конвейеры, аппаратные средства распараллеливания), то этот процессор называется суперскалярный.

Векторная система команд отличается тем, что из оперативной памяти выбирается одна команда (вектор), которая обеспечивает одновременное выполнение одних и тех же операций над множеством исходных данных. Такие команды выполняются одновременно на различных аппаратных средствах (несколько процессоров, несколько АЛУ).

## **12.2. Основные структуры современных процессоров**

В зависимости от используемой структуры команд, процессоры делятся на два основных типа.

CISC – процессор с обычной системой команд, в котором некоторую операцию можно реализовать, используя различные программные и аппаратные методы повышения быстродействия.

RISC – процессор с уменьшенным набором команд, отличающийся тем, что все команды имеют самую простую структуру, типа регистр – регистр или регистр – память. В идеале выполнение команды требует одного обращения к памяти и происходит за один такт.

При использовании одной и той же системы цифровых элементов RISC архитектура позволяет увеличить быстродействие в 1,5 раза по сравнению с суперскалярными, но усложняется программа.



Pentium MMX – специализированный процессор для решения мультимедийных программ.

Добавлено более 30 специальных мультимедийных команд: задачи синтеза цвета, звука, обработка видео и графики.

Сигнальные МП - служат для цифровой обработки сигналов.

Особенности:

- поточный характер обработки большого массива данных,
- относительно не сложный алгоритм обработки данных,
- требование высокой скорости обработки сигналов.

## **ЛИТЕРАТУРА**

1. Александриди, Т.М. Организация ЭВМ и систем, ч.1-ч.3 / Т.М. Александриди, Б.Н. Матюхин, Е.Н. Матюхина – М.: МАДИ, 2003.
2. Микропроцессоры и МП комплекты интегральных микросхем / под ред. Шахнова. – М.: Изд-во «Радио и Связь», 1988.
3. Вычислительные комплексы АС: Метод. ук. к лаб. раб. / Т.М. Александриди [и др.] – М.: МАДИ, 1995.
4. Проектирование ЦУ на однокристальных микроконтроллерах / Б.А. Сташин [и др.] – М.: Энергоиздат, 2000.
5. Александриди, Т.М. Проектирование МП средств / Т.М. Александриди, Т.В. Гришанина. – М.: МАДИ, 1982.
6. Корнеев, В.В. Современные микропроцессоры / В.В. Корнеев, А.В. Киселев. – М.: Изд-во «Нолидж», 1998.

## Оглавление

ВВЕДЕНИЕ.....	3
1. ОБЩИЕ СВЕДЕНИЯ О МИКРОПРОЦЕССОРАХ .....	3
1.1. Микропроцессорные системы .....	5
2. МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ КР580.....	7
3. ОРГАНИЗАЦИЯ УПРАВЛЕНИЯ В МИКРОПРОЦЕССОРНОЙ СИСТЕМЕ.....	11
4. ИНТЕРФЕЙСНЫЕ БИС В СОСТАВЕ МП – КОМПЛЕКТА КР580.....	17
4.1. Системный контроллер КР580ВК28.....	18
4.2. Программируемый контроллер ввода-вывода КР580ВВ55.....	19
4.2.1. Формат РУС (регистра управляющего слова).....	21
4.2.2. Пример программирования контроллера КР580ВВ55.....	22
5. ОДНОКРИСТАЛЬНЫЕ МИКРОЭВМ СЕРИИ КР1816.....	25
5.1. Процессор.....	25
5.2. Организация памяти .....	26
5.3. Организация памяти данных.....	28
5.4. Таймер-счетчик.....	29
5.5. Организация ввода/вывода в контроллере.....	29
5.6. Устройство управления и синхронизации .....	30
5.7. Формирование синхроимпульсов и управляющих сигналов.....	31
5.8. Подключение к микроконтроллеру внешнего устройства.....	32
6. ПРОГРАММИРУЕМЫЙ ТАЙМЕР КМ580ВМ53.....	33
6.1. Режимы работы программируемого таймера.....	35
6.2. Временная диаграмма .....	36
6.3. Пример программирования таймера (ПТ).....	37
7. ФУНКЦИОНИРОВАНИЕ МП - СИСТЕМЫ В РЕЖИМЕ ПЕРЕРЫВАНИЯ.....	39
7.1. Программируемый контроллер прерываний КР580ВН59.....	42

8. ФУНКЦИОНИРОВАНИЕ МП – СИСТЕМЫ В РЕЖИМЕ ПДП (ПРЯМОГО ДОСТУПА К ПАМЯТИ) .....	43
8.1. Основные принципы организации режима ПДП .....	43
8.2. Контроллер ПДП K580BT57 .....	44
9. МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ КМ1810 .....	47
9.1. Процессор КМ1810ВМ86.....	47
9.2. Конструктивные особенности организации оперативной памяти.....	51
9.3. Методы адресации данных .....	52
9.4. Пример кодирования команды .....	54
9.5. Управление и синхронизация в МП- системе .....	55
9.6. Организация управления в однопроцессорной системе.....	56
9.6.1. Организация управления в многопроцессорной системе.....	57
10. МП INTEL 386 И INTEL 486.....	58
10.1. Виртуальная память .....	60
10.1.1. Сегментная организация памяти .....	60
10.1.2. Страничная организация памяти .....	61
10.2. Кэш-память .....	62
11. СЕМЕЙСТВО PENTIUM .....	62
12. АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ СОВРЕМЕННЫХ МП.....	63
12.1. Основные архитектуры системы команд.....	64
12.2. Основные структуры современных процессоров .....	64
ЛИТЕРАТУРА.....	65

Тамара Миновна АЛЕКСАНДРИДИ  
Игорь Сергеевич КОТОВИЧ  
Екатерина Николаевна МАТЮХИНА  
ОРГАНИЗАЦИЯ ЭВМ И СИСТЕМ  
Часть 4. Микропроцессорные устройства

Учебное пособие

Редактор Н.П. Лапина  
Технический редактор Н.П. Лапина

Тем. план 2008 г., п. 23

---

Подписано в печать

Формат 60х84\16

Печать офсетная

Усл. печ. л. 4,2

Уч.-изд. л. 3,4

Тираж 300 экз.

Заказ

Цена 34 руб.

---

Ротапринт МАДИ (ГТУ) 125319, Москва, Ленинградский просп.,64